

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平10-150182

(43)公開日 平成10年(1998) 6月2日

(51)Int.Cl.⁶

識別記号

F I

H 0 1 L 27/146

H 0 1 L 27/14

A

H 0 4 N 5/335

H 0 4 N 5/335

E

審査請求 未請求 請求項の数6 F D (全 38 頁)

(21)出願番号 特願平9-203816

(22)出願日 平成9年(1997) 7月14日

(31)優先権主張番号 特願平8-248361

(32)優先日 平8(1996) 9月19日

(33)優先権主張国 日本 (J P)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 田中 長孝

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

(72)発明者 馬淵 圭司

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

(72)発明者 大場 英史

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

(74)代理人 弁理士 鈴江 武彦 (外6名)

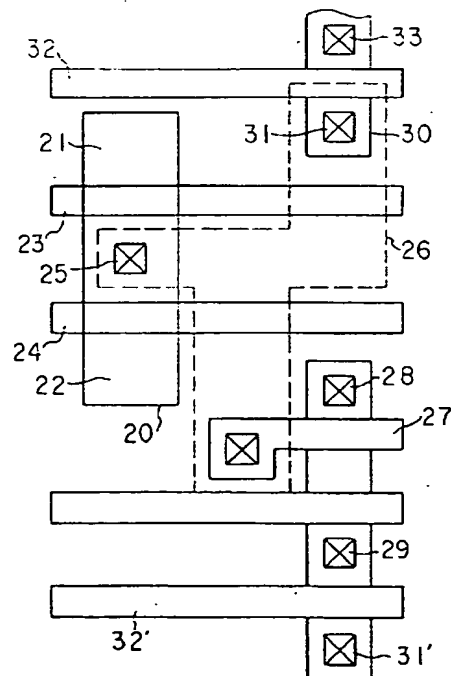
最終頁に続く

(54)【発明の名称】 固体撮像装置および固体撮像装置応用システム

(57)【要約】

【課題】単位セルでの光電変換ゲインを高くして高感度を得ると共に、垂直信号線等からの雑音の飛び込みを抑圧して低雑音を実現可能にすること。

【解決手段】素子領域20の第1及び第2のダイオード21及び22の間に、第1、第2の読出しトランジスタのゲート配線23、24と、第1の読出しトランジスタのドレイン25が形成される。このドレイン25は、ジャンプ配線26を経て、増幅トランジスタのゲート27に接続される。そして、この増幅トランジスタのゲート27は、ジャンプ配線16を経て、リセットトランジスタの素子領域30上に形成されたリセットトランジスタのソース31にも接続される。上記リセットトランジスタの素子領域30上には、リセットトランジスタのゲート配線32を挟んでソース31と反対側にドレイン33が形成されている。



【特許請求の範囲】

【請求項 1】 受光量対応に電気信号を発生するフォトダイオードと、このフォトダイオードの出力信号を増幅して出力する増幅トランジスタと、上記増幅トランジスタの制御電極をドレイン、上記フォトダイオードをソースとして形成された MOS 型読出しトランジスタとを有する光電変換セルを複数個備えた固体撮像装置に於いて、上記読出しトランジスタのドレインは、複数の素子形成領域を有して構成されることを特徴とする固体撮像装置。

【請求項 2】 光電変換蓄積部と、この光電変換蓄積部の出力を制御電極に入力する増幅トランジスタと、この増幅トランジスタの制御電極と容量結合した垂直選択線と、上記光電変換蓄積部の電位をリセットするリセットトランジスタとを有する単位セルを半導体基板上に行列 2 次元状に配列して成る撮像領域と、上記増幅トランジスタ及びリセットトランジスタの電源線と、

上記増幅トランジスタの電流を読出す第 1 の方向に配置された複数の垂直信号線と、

上記垂直信号線の一端に設けられた複数の水平選択トランジスタと、

この水平選択トランジスタのゲートに順次選択パルス信号を与える水平選択手段と、

上記水平選択トランジスタを介して上記垂直信号線から信号電流を読出す水平信号線とを備える固体撮像装置に於いて、

上記増幅トランジスタのゲートで構成される下部電極と、この下部電極を覆って上記垂直選択線で構成される上部電極とを有する容量手段を具備することを特徴とする固体撮像装置。

【請求項 3】 フォトダイオードと、このフォトダイオードの信号を転送する転送トランジスタと、この転送トランジスタで転送された信号を検出する検出部と、この検出部に接続されたゲートを有する増幅トランジスタと、この増幅トランジスタを活性化するアドレス手段と、上記フォトダイオードの信号を排出するリセット手段と備える単位セルを、半導体基板上に行列 2 次元状に配列した固体撮像装置に於いて、

上記検出部と上記増幅トランジスタのドレインとの間に電位障壁を形成し、上記検出部の電位を変化させて電子を電位障壁を越えて上記ドレインに排出してリセットを行うことを特徴とする固体撮像装置。

【請求項 4】 フォトダイオードと、このフォトダイオードの信号をゲートに入力する増幅トランジスタと、この増幅トランジスタを活性化するアドレス手段と、上記フォトダイオードの信号を排出するリセットトランジスタを備える単位セルを、半導体基板上に行列 2 次元状に配列して成る固体撮像装置に於いて、

上記フォトダイオード及び増幅トランジスタのドレイン

は、上記リセットトランジスタのソース及びドレインを構成していることを特徴とする固体撮像装置。

【請求項 5】 半導体基板上に光電変換部と増幅トランジスタとを有する単位セルを行列 2 次元状に配置して成る撮像領域と、この撮像領域の読出し行を選択する垂直選択手段と、この垂直選択手段により選択された行の信号の信号を読出す信号線とを具備する固体撮像装置に於いて、

奇数行のセルと偶数行のセルは、互いに異なる光電変換効率に設定されることを特徴とする固体撮像装置。

【請求項 6】 被写体からの光学像を受光し、この光学像を所定位置に導く光学系と、

前記所定位置に導かれた光学像を画素単位で前記光学像の光量対応の電気信号に光電変換するセンサを備えた画像処理手段と、

この画像処理手段の出力を所定形態に加工して出力する信号加工部とを有し、前記センサが、前記所定位置に配置された光電変換素子と、

この光電変換素子と接続された増幅 MOS トランジスタを含み、前記光電変換素子の出力を増幅して出力する出力回路と、を有し、

前記センサは請求項 1 乃至 5 いずれか 1 項記載の固体撮像装置を用いていることを特徴とする固体撮像装置応用システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は固体撮像装置に係わり、特に高感度、低雑音化を図った固体撮像装置に関するものである。また、この発明はその高感度、低雑音化した固体撮像装置を用いた応用システムに関する。

【0002】

【従来の技術】 半導体デバイス技術の進歩により、ビデオカメラは小型軽量化されており、携帯便利になって、広く利用されている。電子機器の場合、携帯性の関係から電源は電池を用いるが、従来、ビデオカメラは撮像素子として CCD センサを用いていた。しかし、CCD センサはデバイスの駆動に、複数種の電圧を必要とし、その電圧を電池電圧から発生するための電源回路を必要としている。そして、これがビデオカメラのいっそうの小形化を図る際の妨げとなり、また、消費電力低減の妨げの一因にもなっている。

【0003】 よりいっそう扱い易くするために、ビデオカメラの小型・軽量化の研究が進められ、また、高画質の画像を得ることができるよう、より画素数の多い固体撮像装置の開発が行われているが、ビデオカメラの小型・軽量化には固体撮像装置の小型化はもちろんのこと、さらには低消費電力化・低電圧化した固体撮像装置の出現が強く求められる。

【0004】 単純に固体撮像装置の小形化と多画素化を図るには、画素を微細化すれば良い。しかし、画素を微

細化すると、画素当りの取り扱い信号電荷量が減少するという問題がある。この結果、固体撮像装置のダイナミックレンジの減少が生じ、鮮明な解像度の良い映像を得ることができない、などの問題が生じる。

【0005】また、CCDの場合、素子の駆動電圧に複数種の電圧を使用していることから、カメラシステムの構成や取扱いの上で簡単なシステムで対応できない。即ち、携帯用カメラやパーソナルコンピュータ搭載用カメラへの応用のためには、この低消費電力・低電圧化と共に、S/Nの良い、単一電源の固体撮像装置の出現が望まれる。ところが、CCDの場合は、単一電源では駆動できず、低消費電力・低電圧化ができないばかりか、画素を微細化するとS/Nが悪くなるので上記要求には応じることができない。

【0006】そこで、上記要求を満たす別のデバイスを探してみると、低消費電力・低電圧化が可能で、単一電源で駆動できる固体撮像装置として、増幅型のトランジスタを用いたMOSセンサがある。

【0007】この固体撮像装置は、各セル内でフォトダイオードで検出した信号をトランジスタで増幅するものであり、高感度という特徴を持つ。

【0008】特殊な製造プロセスを用いるCCDセンサとは異なり、MOSセンサはDRAM等の半導体メモリ、プロセッサ等で多用されているMOSプロセスにより、生産される。従って、MOSセンサは半導体メモリやプロセッサと同一の半導体チップ上に形成したり、半導体メモリやプロセッサと生産ラインを共有することが容易である等の利点がある。

【0009】しかしながら、上述した増幅トランジスタを用いた従来のMOSセンサ（増幅型MOSセンサ）は、ユーザの要求が高解像度化、すなわち、高密度、微細画素化に向かう中で、高光電変換ゲインの確保の問題が浮上する。また、後述するように、固定パターンノイズと呼ばれる輝度ムラの問題も残る。従って、これらをいかにして改善するかが大きな課題である。

【0010】また、この増幅型MOSセンサはその出力のダイナミックレンジも60dB程度しかなく、銀塩フィルムの90dBやCCDセンサの70dBと比較すると、不十分であった。従ってこの増幅型MOSセンサをビデオカメラ等の画像システム機器に組み込むことは画質の点で実用上、大きな制約があった。

【0011】

【発明が解決しようとする課題】上述したように、近年、固体撮像素子の1つとして、増幅型MOSセンサ（増幅型MOS固体撮像素子）を用いた固体撮像素子が提案されている。この素子は、光電変換蓄積部で検出した光信号を、光電変換蓄積部のごく近傍で増幅するという特徴を有している。

【0012】図18は従来の増幅型MOS固体撮像素子の平面図であり、図19は図18に示された従来の増幅

型固体撮像素子の単位セルの回路図である。以下、図18及び図19を参照して、増幅型固体撮像素子の動作について説明する。

【0013】フォトダイオード1で光電変換の結果生じた信号電荷は、読出し線2をハイレベルにして読出しトランジスタ3をオンすることによって、増幅トランジスタ4のゲートに読出され、ゲートの電位を変化させる。垂直信号線5の電位は、増幅トランジスタ4のゲートの電位に応じて変化する。

【0014】信号を読出した後は、リセットトランジスタ6のゲート7をハイレベルにして、増幅トランジスタ4のゲート電位を所望の電位にリセットする。また、単位セルのアドレスは、増幅トランジスタ4のドレイン側に直列に結合しているアドレストランジスタ8を用いて行う。

【0015】さて、一般に読出しトランジスタ付きの増幅型固体撮像素子の単位セルでの光電変換ゲイン g [V/electron]は、次式で与えられる。

【0016】

$$g [V/electron] = \Delta V / electron$$

$$= 1.6 \times 10^{-19} / C_{sn}$$

ここで、 C_{sn} は検出部の容量であり、増幅トランジスタのゲート容量と読出しトランジスタのドレインの基板容量の和になる。現実には、上記検出部の容量は、読出しトランジスタのドレインの基板容量が大きな割合を占める。

【0017】このように、固体撮像素子の高感度化のためには、単位セルの光電変換ゲインを高くする必要があるが、上記式より、高い光電変換ゲインを得るためには、読出しトランジスタのドレインの基板容量を小さくする必要がある。

【0018】図18に示されるように、従来はドレイン容量を構成する素子形成領域は1つであり、面積が大きくなり、なかなか高い光電変換ゲインを得ることができなかった。特に、図18に示される例では、増幅トランジスタ4のゲートの電位をリセットするためのリセットトランジスタ6が、読出しトランジスタ3のドレインに接続されているため、読出しトランジスタ3のドレインの基板容量が大きくなりやすいという問題を有している。

【0019】さらには上述した従来例の別の欠点としては、読出しトランジスタ3のドレインは、周辺のほとんどを素子分離領域に囲まれているという問題がある。素子分離領域の下は、一般に基板濃度が高いため、ドレインが素子分離領域に接する部分が大きいと、その部分での寄生容量が大きくなり、結果として光電変換ゲインが劣化し、十分なダイナミックレンジが確保できないという問題がある。

【0020】また、図20は、従来の増幅型固体撮像装置の他の例を示した単位セルの平面図であり、図21は

図20に示された固体撮像装置のA-A'線に沿った断面図である。

【0021】この固体撮像装置は、フォトダイオード10がNPNバイポーラトランジスタのベース、N型基板11がコレクタ、垂直信号線12で形成されている。上記フォトダイオード11で光電変換の結果生じた信号電荷は、コントロールゲート13をハイレベルにしてベース-エミッタ間が順バイアスにされることにより、垂直信号線12に読出される。信号が読出された後は、コントロールゲート13に十分負の電圧が印加されてベースの電位が所望の電位にリセットされる。

【0022】ところで、固体撮像装置の低雑音化のためには、NPNトランジスタで構成される増幅トランジスタに入力する前の雑音混入を抑圧する必要がある。しかしながら、あるラインをアドレスするためのコントロールゲート13は、ベース領域の一部分しか覆っていない。このためA1で構成される垂直信号線12等から雑音がベース領域に飛び込んでしまう。このため、固体撮像装置の低雑音化に対して大きな障害になっている。

【0023】このように、従来は、単位セルの選択を行う容量を形成する増幅トランジスタの制御電極側の電極上が、垂直選択線で完全には覆われていなかったため、寄生容量を介する垂直信号線等からの雑音の飛び込みが多く、S/Nが悪いという問題があった。

【0024】したがってこの発明は、単位セルでの光電変換ゲインを高くして高感度化を図ることができると共に、寄生容量を介する増幅トランジスタのゲートへの垂直信号線等からの雑音の飛び込みを抑圧して低雑音化を図ることができるようにした固体撮像装置を提供することを目的とする。

【0025】さらには本発明は、このような増幅型MOSセンサの固体撮像素子を用いた応用システムを提供することにより、増幅型MOSセンサの固体撮像素子が持つゲインの問題と、ノイズの問題を改善したことによりビデオカメラ等の画像システム機器に組み込み実用に行うことができる応用システムを提供することにある。

【0026】

【課題を解決するための手段】上記目的を達成するため、本発明は次のように構成する。

【0027】(1) すなわちこの発明は、第1には制御電極の電位に基いて信号を出力する増幅トランジスタと、この増幅トランジスタに隣接して設けられたフォトダイオードと、上記増幅トランジスタの制御電極をドレイン、上記フォトダイオードをソースとして形成されたMOS型読出しトランジスタとを有する光電変換セルを複数個備えた固体撮像装置に於いて、上記読出しトランジスタのドレインは、複数の素子形成領域を有して構成されることを特徴とする。

【0028】(2) また第2にはこの発明は、光電変換蓄積部と、この光電変換蓄積部の出力を制御電極に入力

する増幅トランジスタと、この増幅トランジスタの制御電極と容量結合した垂直選択線と、上記光電変換蓄積部の電位をリセットするリセットトランジスタとを有する単位セルを半導体基板上に行列2次元状に配列して成る撮像領域と、上記増幅トランジスタ及びリセットトランジスタの電源線と、上記増幅トランジスタの電流を読出す第1の方向に配置された複数の垂直信号線と、上記垂直信号線の一端に設けられた複数の水平選択トランジスタと、この水平選択トランジスタのゲートに順次選択パルス信号を与える水平選択手段と、上記水平選択トランジスタを介して上記垂直信号線から信号電流を読出す水平信号線とを備える固体撮像装置に於いて、上記増幅トランジスタのゲートで構成される下部電極と、この下部電極を覆って上記垂直選択線で構成される上部電極とを有する容量手段を具備することを特徴とする。

【0029】(3) また、第3にはこの発明は、フォトダイオードと、このフォトダイオードの信号を転送する転送トランジスタと、この転送トランジスタで転送された信号を検出する検出部と、この検出部に接続されたゲートを有する増幅トランジスタと、この増幅トランジスタを活性化するアドレス手段と、上記フォトダイオードの信号を排出するリセット手段とを備える単位セルを、半導体基板上に行列2次元状に配列した固体撮像装置に於いて、上記検出部と上記増幅トランジスタのドレインとの間に電位障壁を形成し、上記検出部の電位を変化させて電子を電位障壁を越えて上記ドレインに排出してリセットを行うことを特徴とする。

【0030】(4) 更に第4にはこの発明は、フォトダイオードと、このフォトダイオードの信号をゲートに入力する増幅トランジスタと、この増幅トランジスタを活性化するアドレス手段と、上記フォトダイオードの信号を排出するリセットトランジスタを備える単位セルを、半導体基板上に行列2次元状に配列して成る固体撮像装置に於いて、上記フォトダイオード及び増幅トランジスタのドレインは、上記リセットトランジスタのソース及びドレインを構成していることを特徴とする。

【0031】(5) 更に第5にはこの発明は、半導体基板上に光電変換部と増幅トランジスタとを有する単位セルを行列2次元状に配置して成る撮像領域と、この撮像領域の読出し行を選択する垂直選択手段と、この垂直選択手段により選択された行の信号の信号を読出す信号線とを具備する固体撮像装置に於いて、奇数行のセルと偶数行のセルは、互いに異なる光電変換効率に設定されることを特徴とする。

【0032】この発明によれば、読出しトランジスタのドレインを構成する素子形成領域が複数に分割されており、素子形成領域の面積が小さいので、読出しトランジスタのドレインの基板容量を小さくできる。したがって、光電変換ゲインが大きくなる。

【0033】またこの発明によれば、単位セルの選択を

行う容量を形成する増幅トランジスタの制御電極側の電極の上が、完全に垂直選択線に覆われているので、寄生容量を介する垂直信号線等からの雑音の飛び込みを抑圧できる。したがって、低雑音の固体撮像装置を提供できる。

【0034】(6) 更に第6にはこの発明は、被写体からの光学像を受光し、この光学像を所定位置に導く光学系と、前記所定位置に導かれた光学像を画素単位で前記光学像の光量対応の電気信号に光電変換するセンサを備えた画像処理手段と、この画像処理手段の出力を所定形態に加工して出力する信号加工部とを有し、前記センサが、前記所定位置に配置された光電変換素子と、この光電変換素子と接続された増幅MOSトランジスタを含み、前記光電変換素子の出力を増幅して出力する出力回路と、を有し、前記センサは(1)～(5)いずれか1項記載の固体撮像装置を用いたことを特徴とする固体撮像装置応用システムである。

【0035】そして、さらには前記センサが前記所定位置に配置された光電変換素子と、この光電変換素子と接続された増幅MOSトランジスタを含み、第1タイミングで前記光電変換素子の出力を増幅して出力し、第2タイミングで前記光電変換素子の出力と無関係なノイズを出力する出力回路と、この出力回路の出力と接続され、前記第1及び第2タイミングにおける前記出力回路の出力の差分を得る雑音除去回路とを有していることを特徴とする。

【0036】この発明によれば、単位セルでの光電変換ゲインを高くして高感度化を図ることができると共に、寄生容量を介する増幅トランジスタのゲートへの垂直信号線等からの雑音の飛び込みを抑圧して低雑音化を図ることができる低雑音、高画質、高ダイナミックレンジの固体撮像装置応用システムが得られる。さらには、増幅型MOSセンサの固定パターンノイズが問題になる場合においてもこれを除去して高ダイナミックレンジ、高画質化を図った固体撮像装置応用システムを提供することができる。

【0037】

【発明の実施の形態】以下、図面を参照してこの発明の実施の形態を説明する。

【0038】(第1の実施の形態)図1は、この発明の固体撮像装置の第1の実施の形態に係る固体撮像素子の単位セルの平面図である。尚、以下に述べる実施の形態に於いて、同一の部分には同一の参照番号を付して説明を省略する。

【0039】図1に於いて、単位セルには素子領域20上に垂直方向に隣接して第1及び第2のダイオード21及び22が設けられている。第1のフォトダイオード21の下方には第1の読出しトランジスタのゲート配線23が、第2のフォトダイオード22の上方には第2の読出しトランジスタのゲート配線24が設けられている。

そして、これらゲート配線23及び24の間には、第1の読出しトランジスタのドレイン25が形成されている。

【0040】上記ドレイン25は、ジャンプ配線26を経て、増幅トランジスタのゲート27に電気的に接続されている。増幅トランジスタのドレイン28は、コンタクトを経て電源線(図示せず)へ、また増幅トランジスタのソース29はコンタクトを経て垂直信号線(図示せず)に接続されている。更に、増幅トランジスタのゲート27は、上記ジャンプ配線16を経て、リセットトランジスタの素子領域30上に形成されたりセットトランジスタのソース31にも電気的に接続されている。上記リセットトランジスタの素子領域30上には、リセットトランジスタのゲート配線32を挟んでソース31と反対側にドレイン33が形成されている。

【0041】尚、31'及び32'は、それぞれ隣接するセルのリセットトランジスタのソース及びゲート配線である。

【0042】次に、このように構成されたセルの動作について説明する。

【0043】素子領域20に形成された第1のフォトダイオード21で光電変換されて発生された信号電荷は、ゲート配線23に読出しトランジスタをオンするパルスを加えることによって、第1の読出しトランジスタのドレイン25に読出される。このドレイン25は増幅トランジスタのゲート27に電気的に接続されているので、信号電荷の読出しに伴って増幅トランジスタのゲート27の電位が変化される。また、増幅トランジスタのゲート27の電位変化によって、垂直信号線の電位が変化される。この垂直信号線の電位変化が、フォトダイオード21の出力となる。

【0044】上記信号電荷の読出し後は、増幅トランジスタのゲート27の電位は、所望の電位にリセットされる。同様に、第2のフォトダイオード22で光電変換されて発生された信号電荷は、ドレイン25に読出された後、増幅トランジスタを用いて垂直線の電位が変化されて取出される。

【0045】この第1の実施の形態では、読出しトランジスタのドレインの基板容量は、実質的に、増幅トランジスタのゲートの電位のリセットトランジスタのソースの基板容量との和になる。しかしながら、読出しトランジスタのドレインを形成する素子分離領域20と、リセットトランジスタのソースを形成する素子形成領域30は直接接続されずにLOCOS領域で分離されており、ジャンプ配線16を介して電気的に接続されて、不必要に基板容量が大きくなることを防いでいる。

【0046】また、同実施の形態では、読出しトランジスタのドレインは、周辺を二種類の読出しトランジスタのゲート配線で取り囲まれており、素子分離領域と接する周辺長が短く、寄生容量が小さいという長所を有して

いる。

【0047】このように、第1の実施の形態によれば、読出しトランジスタのドレインの素子形成領域がLOCOS領域で複数に分断されているので、素子形成領域の面積が小さくなり、増幅トランジスタのゲートの基板容量が小さくなる。したがって、増幅トランジスタのゲインが高い単位セルが得られる。

【0048】また、読出しトランジスタのドレインは、周辺を2種類の読出しトランジスタのゲート配線に取り囲まれており、素子分離領域と接する周辺長が短く、寄生容量が小さく、増幅トランジスタのゲインが高い単位セルが得られる。

【0049】次に、この発明の第2の実施の形態を説明する。

【0050】(第2の実施の形態)図2は、この発明の第2の実施の形態に係る固体撮像装置の単位セルの平面図である。

【0051】図2に於いて、単位セルには、素子領域35上に垂直方向に隣接して第1及び第2のダイオード36及び37が設けられている。第1のフォトダイオード36の下方には第1の読出しトランジスタのゲート配線38が、第2のフォトダイオード37の上方には第2の読出しトランジスタのゲート配線39が設けられている。そして、これらゲート配線38及び39の間には、第1の読出しトランジスタのドレイン40が形成されている。

【0052】上記ドレイン40は、ジャンプ配線41を経て、増幅トランジスタのゲート42に電気的に接続されている。増幅トランジスタのドレイン43は、コンタクトを経て電源線(図示せず)へ、また増幅トランジスタのソース44はコンタクトを経て垂直信号線(図示せず)に接続されている。更に、増幅トランジスタのゲート42は、上記ジャンプ配線41を経て、リセットトランジスタの素子領域45上に形成されたリセットトランジスタのソース46にも電気的に接続されている。上記リセットトランジスタの素子領域45上には、リセットトランジスタのゲート配線47を挟んでソース46と反対側にドレイン48が形成されている。

【0053】尚、49は、アドレストランジスタのゲート配線である。

【0054】次に、図3の回路図を参照して、固体撮像装置の動作について説明する。

【0055】フォトダイオード50で光電変換されて生じた信号電荷は、読出し線51がハイレベルにされて読出しトランジスタ52がオンされることによって、増幅トランジスタ53のゲート42に読出され、ゲートの電位を変化させる。垂直信号線54の電位は、増幅トランジスタ53のゲート42の電位に応じて変化する。

【0056】信号が読出された後は、リセットトランジスタ55のゲート47がハイレベルにされて、増幅ト

ランジスタ53のゲート電位が所望の位置にリセットされる。また、単位セルのアドレスは、増幅トランジスタ53のゲートにキャパシタ56により容量結合されているアドレスゲート配線49が用いられて行われる。

【0057】図4は、図2に示された固体撮像装置の単位セルの部分断面図である。

【0058】図4に於いて、p型基板58上にn型不純物拡散層59、LOCOS領域60ゲート酸化膜42、層間絶縁膜61が形成されている。上記n型不純物拡散層59は、コンタクト42aを介して層間絶縁膜61上に形成された下部電極としてのジャンプ配線41と接続されている。そして、このジャンプ配線41は、垂直選択キャパシタ絶縁膜62によって全面的に覆われている。更に、この垂直選択キャパシタ絶縁膜62上には、上部電極としてのアドレスゲート配線49が形成されている。

【0059】このように、同実施の形態では、増幅トランジスタのゲート42と電気的に接続された下部電極41が、垂直選択キャパシタ絶縁膜62に完全に覆われているので、寄生容量を介する垂直信号線等からの雑音の飛び込みが少ない。このため、固体撮像装置の低雑音化に有利となる。

【0060】この第2の実施の形態としては、アドレス容量を形成する上部電極と下部電極をセルフラインで形成して、エッジをそろえた単位セルが望ましい。この場合、容量のばらつきを低減することができる。容量のばらつきが少ないと、感度むらの少ない固体撮像装置を構成することができる。

【0061】ところで、基本的な増幅型固体撮像装置のセルパターン(安藤、川島、田中他テレビジョン学会誌Vol.49, No.2, pp.188-195(1995)による)は、図5(a)に示されるように構成されている。また、図5(b)は同図(a)に対応する1セル分の回路図である。

【0062】図5(a)及び(b)に於いて、活性領域65は、フォトダイオードとトランジスタのソース/ドレインが形成される。活性領域65以外の部分は素子分離領域66が形成されている。フォトダイオード67は増幅トランジスタ68のゲートと電気的に接続されているもので、この増幅トランジスタ68の電流がフォトダイオード67の電位によって変調される。これによって、フォトダイオード67の信号が外部に読出される。

【0063】このセルは2次元状に多数配置されているので、行を選択するためのアドレストランジスタ69が設けられている。このアドレストランジスタ69をオンしている行だけ増幅トランジスタに電流が流れるので、これにより所望の行を選択することができる。

【0064】リセットトランジスタ70はフォトダイオード67の信号をリセットするために設けられたもので、光信号はリセットトランジスタ70を通して増幅ト

ランジスタのドレイン68Dに捨てられる。尚、この例では、リセットトランジスタ70のゲートは、1行上の画素のアドレスゲートと共用になっている。更に、ドレイン68Dは、この例では増幅トランジスタのドレインと共用している。

【0065】尚、ドレイン配線は図を簡略化するために、ここでは図示されていないが、図に於いて水平方向に、1層目のアルミ(1A1)で作られている。また、信号線Sigは、2層目のアルミ(2A1)で垂直方向に、図示は線で示されるように設けられている。

【0066】ここで、検出部71を、増幅トランジスタ68のゲートと電気的に接続されている部分とする。すなわち、検出部71とは、セルの外部に読出される信号を直接決める部分である。例えば、図5(a)ではリセットトランジスタ70より左側の活性領域であり、図5(b)では太線部分が検出部71である。

【0067】更に、他のセル回路の例を図5(c)に示す。

【0068】ここでは、フォトダイオード67の電子は、転送トランジスタ72を通して検出部73に転送される。この理由は、詳しくは述べないがkTC雑音を除去するため、または同時性動作を行うためである。また、アドレスは、トランジスタではなくアドレスキャパシタ74によって行われる。つまり、アドレスキャパシタ74の、検出部72と反対側のノードの電位を上下させ、容量結合によって検出部電位、すなわち増幅ゲート電位を上下させて行の選択が行われる。

【0069】尚、増幅トランジスタ68のドレインとリセットトランジスタ70のドレインは、別々でも良い。

【0070】ところで、上述したように、従来の基本的な増幅型固体撮像装置は1セル当たりのトランジスタの数が多いために微細化が困難であるという問題点がある。例えば、現在一般的な固体撮像装置であるCCDでは、0.8 μ m程度のデザインルールで一辺7 μ m程度のセルが実用化されている。これに対して、増幅型固体撮像装置は、図5(a)に示される例の場合、0.8 μ mのデザインルールで縦13.5 μ m、横17.0 μ mとなっている。

【0071】このように、CCD等の微細なセルを増幅型固体撮像装置の基本的な構成で実現することは非常に困難であった。更に、転送ゲートを追加すると、より微細化が難しくなる。

【0072】また、基本的な増幅型固体撮像装置は、シリコン基板からの高さが高いものであった。ドレイン配線と信号線は電流を流す配線であるため、どちらも抵抗が低い金属配線、特に現在の技術ではAl配線が必要とされる。図5(a)に示される例では、1Alがドレイン配線、2Alが信号線に使用されている。更に実用化のためには、フォトダイオード以外に入射される光を遮るための遮光膜が必要となり、これを3層目の金属(例

えば3A1)で作成する必要がある。これによって、デバイスのシリコン基板からの高さが更に高いものとなる。

【0073】高さが高くなると、このデバイス上に設けられる色フィルタやマイクロレンズの作成が困難になる。また、遮光膜が高いところにあると、当然、遮光の精度も悪くなる。更に、配線層が多いと、それだけ製造プロセスも長くなる。CCDの場合は、アルミ配線は1層で済むため、これと比べて増幅型固体撮像装置は不利となっていた。

【0074】また、増幅型固体撮像装置では、あるフォトダイオードに大量の光が入射すると、光電変換された電子がそのフォトダイオードから溢れ、周囲のセルのフォトダイオードに吸収される、ブルーミングが生じる。このブルーミングが起これると、周囲のセルに光が入ってなくても光が入ったのと同じ状態になるので問題となる。上述した基本的な構成の増幅型固体撮像装置の場合、信号電位を増幅ゲートに保持していなければならぬ期間はフォトダイオードの光電子をリセットすることができないのでブルーミングが起これやすい。

【0075】以下は、セルの微細化を行うと共に、シリコン基板からのデバイスの高さが高くならず、ブルーミングを防止した増幅型固体撮像装置の例について説明する。

【0076】先ず、転送ゲートを導入したセルで、より微細なセルを作成するためにリセット手段として埋込み型のトランジスタを使用する。埋込み型のトランジスタの動作原理について、図6を参照して説明する。

【0077】図6(a)は、埋込みトランジスタの平面図である。活性領域76上の検出部77とドレイン78の間に、イオンインプラ領域79が存在する。この部分は、従来のように、MOSトランジスタでリセットを行う場合はゲートとなる配線が存在した部分である。このイオンインプラ領域79に特に配線を作成せずに、イオンインプラによってその部分のチャネル電位の設定を行うだけであるので、微細化に有利になる。

【0078】図6(b)~(d)は、それぞれ信号保持期間、リセット期間及びリセット後に於ける上記各部のポテンシャル図であり、正の方向を下向きにとって表されている。

【0079】図6(b)に示されるように、信号保持期間には信号電子が検出部77に存在する。そして、図6(c)に示されるように、信号のリセットは、検出部77側の電位をマイナス側に操作することによって、イオンインプラ領域79のチャネル電位以上のエネルギーを有する電子をドレインに排出して行われる。検出部77の電位をマイナス側に操作する具体的な方法は、検出部77と容量結合を有する配線の電圧をマイナス方向に振ることによって行うことができる。リセット後は、図6(d)に示されるように、検出部77の電位を元に戻し

てリセットが完了する。

【0080】このように、埋込み型のトランジスタを採用すれば、微細化に有利になる。この埋込み型トランジスタを採用したうえで、最も効率のいい平面セルパターンは、光信号がフォトダイオードから検出部に転送される際の電流の向きと増幅トランジスタに於ける電流の向きが並行で反対向きであり、リセットがそれらと垂直の向きに検出部と増幅トランジスタのドレインを結んで行われるものである。

【0081】すなわち、活性領域は、図7に示されるように配置するのが好ましい。

【0082】図7に於いて、転送トランジスタ72のゲートは、図中水平方向の実線で示されるように設けられる。また、検出部77から増幅トランジスタ68へのゲート配線は、図中矢印で示されるように左右何れかの増幅トランジスタ68に入る。そして、例えばこのゲートに重ねて容量結合を有するアドレス配線を通せば、公知のように、この配線によって増幅ゲートの電位を上下させて行の選択ができ、且つ、新規の効果として、検出部77の電位を上下させて埋込み型のリセットトランジスタ70を動作させることができる。

【0083】このようにゲート配線がリセットトランジスタ70の上下に設けられ、リセットトランジスタ70はゲート配線の不要な埋込み型のトランジスタとなっていることによって、最も効率のいい平面セルパターンを形成することができる。

【0084】次に、遮光膜をドレイン配線とを共用することを考える。シリコン基板からの高さを低くする方法として、遮光膜と配線を兼用することができる。特に、ドレイン配線を遮光膜と兼用すると良い。その理由は、トランジスタのゲートの配線は、行毎に独立して電位を与えられることが要請され、信号線は列毎に独立であることが要求されるのに対して、ドレインは全画素で同電位になることが許されるからである。

【0085】画素部のうち、フォトダイオードの上方以外の部分をドレインの金属配線で覆うことによって、デバイスの高さを低くすると共に、製造工程数を軽減して、且つ遮光を確実に行うことができる。

【0086】シリコン基板からの高さを低くするもう1つの方法として、ドレイン配線と信号線を同一の配線層で形成することがある。ドレイン配線は各行で必ずしも独立である必要は無いので、信号線と同方向にドレイン配線を延出すれば、信号線とドレイン配線を同一の金属配線層で形成することができる。この場合も、遮光膜と併せて金属配線層は2層で済むので、デバイスの高さを低くすると共に製造工程を減して、遮光を確実に行うことができる。

【0087】また、埋込み型のトランジスタを用いず、通常のMOSトランジスタのみでリセットトランジスタと増幅トランジスタを実現するためには、リセットをフ

ォトダイオードから直接行い、このドレインを増幅トランジスタのドレインに一致させると微細化が容易になる。

【0088】例えば、キャパシタ74によるアドレス、転送トランジスタを有する場合に、セル回路は図8に示されるように構成される。特に転送トランジスタ72を設ける場合、リセットトランジスタ70の向きが転送トランジスタ72とも増幅トランジスタ68とも直交する向きであると良い。これは、純粹にパターン配置上の問題によるもので、フォトダイオードのような大きく作りたいものにトランジスタを直接接続することによって、小さな面積での配置がしやすくなるからである。

【0089】図8に示されるような、転送トランジスタ72を有するセルの構造では、転送ゲートを通して検出部77に転送された信号電荷をリセットするには、転送ゲートとリセットゲートの両方をオンにし、検出部77からフォトダイオード67を通してドレインに信号電子を捨てることになる。転送ゲートをオフにして、リセットゲートをオンにすると、検出部77の信号には影響を与えずにフォトダイオード67のリセットを行うことができる。

【0090】このことを用いて、フォトダイオード67の信号を検出部77に転送した後に、フォトダイオード67のリセットを行い続ける動作によって、この期間に強い光が入射した場合にフォトダイオード67から電子が漏れ出すブルーミングを引き起こすことが防止できる。

【0091】次に、この発明の第3の実施の形態を説明する。

【0092】（第3の実施の形態）図9は、この発明の第3の実施の形態を示すもので、増幅型固体撮像装置のセルパターン図である。

【0093】図9に於いて、フォトダイオード67の下方に転送トランジスタ72のゲートが、水平方向に形成されている。上記フォトダイオード67から転送トランジスタ72を通じて、検出部77に信号電荷が転送される。検出部77には、増幅トランジスタ68のゲートが接続されている。

【0094】検出部77の右側には、リセットのための埋込み型のリセットトランジスタ70の領域が存在する。この領域には、チャネル電位制御のためのイオンインブラが行われる。また、リセットの際に、信号電子は検出部77から埋込みトランジスタ70を通じてドレインDに捨てられる。ドレインは、増幅トランジスタ68のドレインと共有になっている。この増幅トランジスタ68のソース側Sigは、垂直方向に形成されている信号線に接続されている。

【0095】以上の構成要素で、光信号がフォトダイオード67から検出部77に転送される際の電流の向きと、増幅トランジスタ68に於ける電流の向きが、並行

で反対向きである。そして、リセットトランジスタと70は、これらと垂直の向きに検出部77と増幅トランジスタ68のドレインを接続して行われるようになっている。

【0096】アドレスは、アドレスキャパシタ74を用いて行われる。アドレスキャパシタ74は、増幅トランジスタ68のゲートと、その上に水平方向に直線状に通されたアドレスゲート配線の間の容量として作られる。尚、ここでは、アドレスゲート配線は図が煩雑になるので省略している。

【0097】アドレスキャパシタ74は、検出部77の電位を上下させることによって、埋込み型のリセットトランジスタ70でリセットを行うためにも用いられる。また、信号線は1層目の金属配線によって作られているが、ドレイン配線は2層目の金属配線によってフォトダイオード67の上方以外の部分を覆うことによって、遮光膜80と共用している。

【0098】この構成によって、0.7 μ mのデザインルールを用いて1/4インチ33万画素に対応する、一辺5.5 μ mのセルが、フォトダイオード67の開口率16%を確保して作成でき、CCDと同程度の画素の微細化が達成される。

【0099】次に、この発明の第4の実施の形態を説明する。

【0100】図10は、この発明の第4の実施の形態を示すもので、増幅型固体撮像装置のセルパターン図である。

【0101】図10に於いて、フォトダイオード81の信号電荷は、図示右側の転送トランジスタ82を通して検出部83に送られる。この検出部83には、増幅トランジスタ84のゲートが接続されている。

【0102】リセットトランジスタ85は、フォトダイオード81の上方に配置されている。リセットトランジスタ85の向きは、転送トランジスタ82とも増幅トランジスタ84とも垂直になっている。この例では、リセットトランジスタ70と転送トランジスタ82のゲートが、図示上下の画素で共有されている。

【0103】フォトダイオード81のリセットは、リセットトランジスタ85を通してフォトダイオード81からドレインDに電荷を転送することによって行われる。また、検出部83のリセットは、同時に転送トランジスタ82のゲートもオンにすることによって、フォトダイオード81を通してドレインに電子を排出することによって行われる。

【0104】ドレインDは、リセットトランジスタ85のドレインと共に増幅ゲートのドレインも兼用しており、図示すし方向に形成されているドレイン配線に接続されている。増幅トランジスタ84のソースSigは、垂直方向に形成されている信号線に接続されている。

【0105】ドレイン配線と信号線は平行に配設されて

おり、どちらも第1層目のA1配線によって形成されている。尚、図10には示されていないが、フォトダイオード81の位置以外の部分は、第2層目のA1による遮光膜が形成されている。更に、アドレスに関しては、上述した第3の実施の形態と同じであり、同図にはアドレスゲート配線は示されていない。

【0106】この構成では、第3の実施の形態と同じく、0.7 μ mのデザインルールを用いて1/4インチ33万画素に対応する、一辺5.5 μ mのセルが、フォトダイオードの開口率16%を確保して作成することができる。したがって、CCDと同程度の画素の微細化が達成されている。

【0107】ここで、図11のタイミングチャートを参照して、第4の実施の形態の構成での動作を説明する。

【0108】図11のタイミングチャートは、セルが2行配列されている場合の転送トランジスタ82のゲートと、リセットトランジスタ85のゲートのパルスが表されている。それ以外のパルスは、ここでは本質的でないこととセル部の外の回路に依存することから省略している。

【0109】まず、時刻 $t_1 \sim t_2$ の期間にかけて、全行の転送トランジスタ82とリセットトランジスタ85がオンにされて、全画素の検出部83とフォトダイオード81がリセットされる。次いで、時刻 t_2 には全行の転送トランジスタ82とリセットトランジスタ85がオフにされて光電子がフォトダイオード81に蓄積が開始される。

【0110】時刻 t_3 では、全行の転送トランジスタ82がオンされて、それまでフォトダイオード81に蓄積された電子が検出部83に転送される。つまり、上記 $t_2 \sim t_3$ の期間が受光期間である。

【0111】そして、時刻 t_4 には、全行のリセットトランジスタ85がオンにされることによって、フォトダイオード81に流入される光電子がドレインDに排出されるようになる。これによって、強い光が入射されてもブルーミングが生じなくなる。

【0112】上述した図5(b)、(c)に示されているような基本的なセル回路では、リセットトランジスタがオンにされると、検出部の信号電子がリセットされてしまうため、この動作はできない。

【0113】時刻 t_5 では、セル部の外側の回路によって、行1の検出部83の電位が読出される。次いで、時刻 t_6 で、上記行1の転送トランジスタ82がオンされると行1の検出部83がリセットされる。その後、時刻 t_7 では、セル部の外側の回路によって行1の検出部83のリセットされた電位が読出され、上記した値との差が真の信号量として出力される。

【0114】次に、時刻 t_8 にて、行2の検出部83の電位がセル部の外側の回路によって読出される。そして、時刻 t_9 で、行2の転送トランジスタ82がオンさ

れると、行2の検出部83がリセットされる。

【0115】更に、時刻 t_{10} にて、セル部の外側の回路によって行2の検出部83のリセットされた電位が読出され、上記した値との差が真の信号量として出力される。

【0116】このようにして、全画面の信号が読出される。

【0117】尚、ここでは、行数が2の場合を例として説明したが、コレクタに限られるものではなく、行数が3以上であっても本質的に同じである。

【0118】ところで、セルを微細化して構成していく上では、隣接するセルの信号線等を共通にすることが考えられている。ところが、上述したように、セルが隣接して配置されていて各セル上の開口が同一の大きさに形成されている場合、遮光膜や電極によって部分的に遮られる箇所が存在するため、入射光に対する感度を全て同じにすることは、現実には困難なものとなっている。

【0119】これを改善するためには、隣接する行或いは列、例えば、奇数行のセルと偶数行のセルの光電変換効率を異なるように設定すれば良い。具体的には、

(1) 遮光膜及びその他の電極によって規定される光学的開口率が、奇数行と偶数行で異なるように設ける。

【0120】(2) 半導体基板内の光電変換部の光発生キャリアの収集効率が、奇数行と偶数行で異なるように設定する。

【0121】図12は、こうしたセルの光電変換効率を改善するための一例を示した遮光膜開口の配置図である。同図に於いて、例えば奇数行に配置された遮光膜開口90は、その隣接する行、すなわち偶数行に配置された遮光膜開口91よりも開口部分が大きく形成されている。

【0122】このように、予め隣接する行で光学的開口率を異ならせて形成することにより、隣接するセルの入射光に対する感度を等しくすることが可能となる。

【0123】また、図13(a)、(b)及び図14は遮光膜開口を等しくした場合の例を示した配置図である。

【0124】図13は、例えば奇数行のセルに対する遮光膜以外の電極92と、偶数行のセルに対する遮光膜以外の電極93の面積を異ならせて配置したものである。そして、図13(a)に於いては、各電極92及び93は、遮光膜開口90のコーナー部分に一部突出して形成されている。一方、図13(b)では、画電極92及び93は、それぞれの行に於ける隣接するセル間に配設されている。

【0125】また、図14は、奇数行と偶数行のセルで共用する遮光膜以外の電極94を、それぞれのセルの間に配設した例を示している。

【0126】図15は、半導体基板内の光電変換部の光発生キャリアの収集効率を変えて形成した第1の例を示

したものである。すなわち、奇数行のフォトダイオード95aと、偶数行のフォトダイオード95bの面積を異なるように設定している。

【0127】更に、図16は、半導体基板内の光電変換部の光発生キャリアの収集効率を変えて形成した第2の例を示したものである。例えば、奇数行のフォトダイオード95ではその間にその他の拡散層96が形成され、偶数行のフォトダイオード95の間には上記拡散層96は形成されないようにしている。

【0128】また、図17は、半導体基板内の光電変換部の光発生キャリアの収集効率を変えて形成した第3の例を示したものである。すなわち、奇数行と偶数行のフォトダイオード95で共用する拡散層97が各フォトダイオード95の間に形成されている。

【0129】尚、図12乃至図17に示された遮光膜開口或いはフォトダイオード等の設定は、奇数行と偶数行が反対であっても良いものである。

【0130】これによって、増幅型MOS型固体撮像素子の微細化が可能となる。また、固体撮像素子の高さが低くなって色フィルタやマイクロレンズが付け易くなるうえ、確実に遮光を行うことができる。

【0131】次に、上述のような増幅型MOS型固体撮像素子の応用例を説明する。

【0132】(第4の実施の形態) 上述した高光電変換ゲイン、低雑音MOS型固体撮像装置(CMOSセンサ)を使用した応用装置の実施例を説明する。

【0133】固体撮像素子として、従来よりCCDセンサを用いることが一般的である。固体撮像素子の基本的構成は図22に示すように、入力部I、処理部II、出力部IIIからなる。入力部Iは受光部であり、この受光部Iは画素を構成するフォトダイオードを複数画素分、配列して、受光量に対応して各画素から電気信号を出力する構成である。処理部IIはこの各画素の信号を順に読み出すと共に、ノイズキャンセルする部分であり、出力部IIIは各画素から読み出された信号を出力する回路である。CCDセンサの場合、複数種の駆動電源を必要とし、省エネ化をはかりにくく、また、電池駆動とする場合に、複数種の電圧を作るために、回路規模の大きな電源回路を必要とする。

【0134】本発明ではCCDセンサの代わりに、単一電源で駆動可能なMOSセンサを用い、そして、かつまた、低雑音、高画質化を図るために、上述した本発明のMOSセンサを用いた応用システムとする。

【0135】尚、本発明においての主題ではないが、固定パターンノイズの対策をとる必要のある場合も念頭において、ここでは、前記処理部に読み出し制御の回路のほかにノイズキャンセラ回路を設けた例を示す。そして、これにより一層の省エネ化と、小型化、高画質化を図る。

【0136】本発明で用いられるMOSセンサは、 $m \times$

n個のフォトダイオードをマトリックス状に配列した $m \times n$ 画素構成のMOSセンサであり、フォトダイオード $m \times n$ 個をマトリックス状に配列した受光部（入力部）と、この受光部を構成する各フォトダイオードから順に信号を読み出すための読み出し部およびノイズキャンセラ回路部を備えた処理部、この処理部で読み出された信号を出力する出力部から構成される。

【0137】処理部には読み出し部と本発明によるノイズキャンセラ回路が設けられている。本発明で用いられるMOSセンサは、雑音成分のみを取り出すタイミングと、雑音成分の乗った信号成分の取り出しのタイミングとに分けて信号を取り出し、これより雑音成分をキャンセルすることで、雑音の影響の無い信号成分を得ようとするものである。そして、ノイズキャンセラ回路は雑音成分のみの出力時と、雑音成分と信号成分の出力時とでインピーダンスを揃えることができるようにして精度良くノイズをキャンセルできるようにした。このようなノイズキャンセラ回路が備えられていることにより、本発明で用いるMOSセンサは、十分に実用化レベルに達した低ノイズで、しかも高速にノイズキャンセルが行える高性能なMOSセンサとなっている。

【0138】なお固体撮像素子として、本発明で用いられるMOSセンサを用いるようにすると、MOSセンサにおける光電変換を行うセンサ部と、その他の回路（I/V変換回路、AGC回路、CLP回路、ADC回路）は、通常のMOSプロセスを用いて製造することができるようになる。そのため、これらの回路を同一半導体チップ上に形成することが容易になる。また、これにより低消費電力化が実現され、ビデオカメラ等においては単一電圧で駆動可能になって、電源回路が簡易化され、電池駆動がし易くなる。

【0139】（第5の実施の形態）システム応用例を説明する。低消費電力・低電圧化を図り、しかもS/Nの良い、単一電源化を図ったMOS型固体撮像装置を適用した各種システムを説明する。

【0140】図23に画像検出部としてMOSセンサを用いた装置の一般的構成を示す。図に示すように、光学系A1、MOSセンサA2、信号応用部A3より構成されている。光学系A1は、MOSセンサA2に光学像を導く装置であり、具体的にはレンズ、プリズム、ピンホール、ダイクロイックミラー、集光性光ファイバ、凹面鏡、凸面鏡、色フィルタ、シャッタ機構、絞り機構等を、システムの用途に応じて適宜組み合わせ構成される。

【0141】MOSセンサA2は光学系A1にて導かれた光学像をその光量対応に画像信号に変換すると共に、ノイズキャンセル処理して雑音のない信号成分のみを出力する装置である。MOSセンサA2の有するこのノイズキャンセル処理の要素が、詳細は後述する重要な要素の一つであるノイズキャンセラ回路である。

【0142】信号応用部A3はノイズキャンセル処理されたMOSセンサA2の出力を、システムの形態に応じて加工する装置である。例えば、システムとしてビデオカメラを想定した場合においては、信号応用部A3はMOSセンサA2から出力された画像信号をPAL方式、あるいはNTSC方式等の複合映像信号に変換するなどの応用機能部分である。

【0143】MOSセンサA2は、単一電源で駆動可能であり、また、光を電気信号に変換するための受光部としてフォトダイオードを用いている。フォトダイオードは画素に相当するものであり、複数個、マトリックス状に配設してあるのは、従来と同じである。画素を微細化するために、フォトダイオードは面積が小さくなるが、そのため、出力は小さくなり、その小さな出力を増幅するために、画素に対応して増幅器（トランジスタ）を設けてある。この増幅器（トランジスタ）を通すことで発生する雑音（増幅トランジスタの特性上、避けられない雑音成分）を、MOSセンサA2の有するフォトダイオードの出力のリセット操作、このリセット操作時の増幅器（トランジスタ）の出力信号（雑音成分）の保持、この保持した出力信号（雑音成分）とリセット操作前、またはリセット操作終了後の増幅器（トランジスタ）の出力信号（“信号成分+雑音成分”）を利用しての両者のキャンセル処理といった処理操作を行うことで、ノイズキャンセルして信号成分のみを抽出する。

【0144】また、このMOSセンサA2は後述する構成にすることにより、出力信号の電圧振幅が10mV程度以下で、出力電流が1 μ A程度の以上の1/f雑音の無い出力を得ることができる。さらにこのMOSセンサA2の出力のダイナミックレンジはCCDセンサと同程度の70dBまたはそれ以上にまで向上し、適当な信号処理を施すことにより、銀塩フィルムと同程度の90dBまで更に向上させることも可能である。

【0145】この結果、単一電源で、高感度の増幅型MOSセンサを撮像デバイスとして用いた各種システムを実現でき、低消費電力・低電圧化を図ると共に、しかもS/Nの良い増幅型MOS型固体撮像装置（増幅型MOSセンサ）の応用装置を提供できる。

【0146】（第6の実施の形態）

<増幅型MOSセンサのビデオカメラへの応用>図25に本発明におけるMOSセンサを用いたビデオカメラの実施例を示す。図25に示すように、本発明のビデオカメラ100は、被写体像をとりこむ光学系であるレンズ101、この光学系のフォーカス調整するためのフォーカス調整機構102、光学系の入射光量を調整する絞り機構116やフォーカス調整機構102を制御する絞り調整・フォーカス調整回路103、レンズ101で結像された光学像を画素単位でその光学像の光量に対応した電気信号に変換する撮像素子であるMOSセンサ105、MOSセンサ105の結像面側に設けられ、画素毎

にRGBのいずれかのカラーフィルタ部を有するカラーフィルタアレイ104、MOSセンサ105により得られた電気信号を電圧信号に変換する電流電圧変換回路106、電流電圧変換回路106を経て得られた電圧信号のレベルを調整するAGC回路107、AGC回路107を経てレベルが揃えられた電圧信号をクランプするクランプ回路(CLP)108、CLP108からの出力をレベル対応のデジタル信号に変換するアナログデジタル変換回路(ADC)109、システムの動作の基本となるタイミングをとるタイミングパルス(クロック信号)を発生するタイミング制御回路110、このタイミング制御回路110の出力するクロック信号に同期してMOSセンサ105の駆動制御をするTG/SG回路111、ADC109からの出力であるデジタル信号をプロセス処理するプロセス制御回路112、このプロセス制御回路112によりプロセス処理された信号をエンコードするエンコーダ回路113、エンコードされた信号を出力する出力回路114、出力回路114を介して出力された信号をアナログ信号に変換するデジタルアナログ変換回路115よりなる。

【0147】このような構成のビデオカメラ100において、被写体からの光は、レンズ101を通してMOSセンサ105に入射し、入射した光は光電変換によって電気信号に変換され電流値として出力される。MOSセンサ105上には各画素に対応して赤、青、緑の色フィルタが規則的に配列されたカラーフィルタアレイ104が形成されており、これにより、1個のMOSセンサ105から3原色に対応するカラー画像信号が電気信号として出力される。

【0148】MOSセンサ105から出力された電気信号は、電流電圧変換回路106、AGC回路107、CLP回路108を介してADC回路109に供給される。

【0149】ADC回路109はCLP回路108からの画像信号に基づいて、例えば1サンプル値が8ビットからなるデジタルデータに変換し、このデータをプロセス制御回路112へ供給する。

【0150】プロセス制御回路112は、例えば色分離回路、クランプ回路、ガンマ補正回路、ホワイトクリップ回路、ブラッククリップ回路、二一回路等からなり、供給された映像信号に対して必要に応じてプロセス処理を施す。また必要に応じ、色バランス等の処理を施す。該プロセス制御回路112により処理された信号は、エンコーダ回路113に送られる。

【0151】エンコーダ回路113では、送られてきた信号を演算し、輝度信号、色差信号に変換する。また、ビデオカメラ出力をネットワーク等により通信する場合にはこのエンコーダ回路113においてPALやNTSC方式等への複合映像信号に変換する処理が施される。

【0152】また、MOSセンサ105、電流電圧変換

回路106は、TG/SG(タイミングジェネレータ/シグナルジェネレータ)回路111から送られるタイミング信号、同期信号によりタイミングが制御される。このTG/SG回路111の動作電源および出力電圧は、MOSセンサ105に供給される電源レベルと同一である。

【0153】その後、映像信号は出力回路114を介してD/A変換回路115に与えられ、このD/A変換回路115はこの入力された信号をアナログビデオ信号に変換してカメラ信号として出力する。また、映像信号は出力回路114を介して直接、デジタルの信号としての出力も可能である。そしてこれらのカメラ信号は、ビデオテープレコーダ等の記録装置やモニタ装置に供給される。

【0154】本実施例では、低消費電力・低電圧化を図り、しかも、1秒間に30フレームの画像を処理する必要のあるビデオカメラにおいて、固定パターン雑音成分を水平帰線期間内にキャンセルすることができて、S/Nの良い高画質の画像信号を得ることのできるビデオカメラを提供できるようになる。

【0155】なお、この実施例において、カラーフィルタアレイ104と撮像デバイスであるMOSセンサ105は別体の構成のものを使用したのが、近年においてはCCDデバイスを例に考えてみると、撮像デバイスとカラーフィルタを一体化したものも多い。そこで、カラーフィルタアレイ104とMOSセンサ105を一体化した構成のものを使用するようにすることもできる。カラーフィルタアレイ104とMOSセンサ105を一体化した撮像デバイスは図24の如き構成とすれば良い。

【0156】すなわち、多数の微細なフォトダイオードPDがマトリクス状に配置されて形成された半導体基板Subの各フォトダイオード受光面側に、各フォトダイオード受光面の領域部分を開口させたしゃ光マスクであるしゃ光膜Mslを例えば、アルミニウムにより形成して、その上に透明な平滑膜Mflを形成し、さらにその上にシアンフィルタFcy、マゼンタフィルタFMg、イエローフィルタFyeを形成する。

【0157】フォトダイオードPDは、マゼンタ像用Mg、グリーン像用G、イエロー像用Ye、シアン像用Cyに分けてあり、シアンフィルタFcyはグリーン像用とシアン像用のフォトダイオードの受光面上に、また、マゼンタフィルタFMgはマゼンタ像用のフォトダイオードの受光面上に、イエローフィルタFyeはイエロー像用のフォトダイオードの受光面上に、それぞれ位置するように形成する。そして、上面に透明なオーバーコート層Ocを形成し、その上にマイクロレンズアレイLmcを形成する。マイクロレンズアレイLmcは多数の微小なレンズを並べて形成したものであり、それぞれの微小なレンズ部分はフォトダイオードPDの受光面上に、来るように設計されている。このマイクロレンズアレイLmcによ

り、フォトダイオードPDに対する光の入射量を確保し、フォトダイオードPDの検出感度を高めている。

【0158】このようなカラーフィルタ・一体形成型の撮像デバイスを単板式撮像系の撮像素子（MOSセンサ105）として用いるようにすると、カラーフィルタを別置きにする必要がなくなり、MOSセンサ105の受光面における各画素に対するカラーフィルタの位置合わせを省くことができ、光学系の省スペース化を図ることができるようになる。

【0159】（第7の実施の形態）

＜増幅型MOSセンサのビデオカメラへの応用＞図26に本発明におけるMOSセンサを用いた別のビデオカメラの実施例を示す。図26に示す例は、図25が単板式撮像系であったのに対して、撮像系をRGB（赤、緑、青）の3系統にわけた3板式のビデオカメラの例である。図26に示すように、本発明のビデオカメラ100-2は、被写体像をとりこむ光学系であるレンズ101、この光学系のフォーカス調整するためのフォーカス調整機構102、光学系の入射光量を調整する絞り機構116やフォーカス調整機構102を制御する絞り調整・フォーカス調整回路103、レンズ101で取り込まれた光学像をRGBの三原色成分に分解する色分解プリズム201R、201G、201B、これら色分解プリズム201R、201G、201BによりRGBの三原色成分に分解された画像が結像されて画素単位でその光学像の光量対応の電気信号に変換する撮像素子であるR成分用、G成分用、B成分用のMOSセンサ105R、105G、105B、これらMOSセンサ105R、105G、105Bにより得られた電気信号を電圧信号に変換するR成分系統用、G成分系統用、B成分系統用の電流電圧変換回路106R、106G、106B、電流電圧変換回路106R、106G、106Bにて得られた電圧信号のレベルを調整するR成分系統用、G成分系統用、B成分系統用のAGC回路107R、107G、107B、AGC回路107R、107G、107Bを経てレベルが揃えられた電圧信号をクランプするR成分系統用、G成分系統用、B成分系統用のクランプ回路（CLP）108R、108G、108B、CLP 108R、108G、108Bからの出力をレベル対応のデジタル信号に変換するR成分系統用、G成分系統用、B成分系統用のアナログデジタル変換回路（ADC）109R、109G、109B、システムの動作の基本となるタイミングをとるタイミングパルスを発生するタイミング制御回路110、このタイミング制御回路110の出力するタイミングパルスに同期してMOSセンサ105の駆動制御をするR成分系統用、G成分系統用、B成分系統用のTG/SG回路111、ADC 109R、109G、109Bからの出力であるデジタル信号をプロセス処理するプロセス制御回路112、このプロセス制御回路112によりプロセス処理された信号をエ

ンコードするエンコーダ回路113、エンコードされた信号を出力制御する出力回路114、出力回路114を介して出力された信号をアナログ信号に変換するデジタルアナログ変換回路115よりなる。

【0160】このような構成のビデオカメラ100-2において、被写体からの光は、レンズ101を通り、色分解プリズム201R、201G、201Bを通してMOSセンサ105R、105G、105Bに結像される。

【0161】これら色分解プリズム201R、201G、201Bは光学像をRGBの三原色成分に分解するためのものであり、色分解プリズム201R、201G、201BによりRGBの三原色成分に分解された画像はそれぞれ成分別に該当のMOSセンサ105R、105G、105Bに結像される。

【0162】MOSセンサ105R、105G、105Bに結像されたR成分、G成分、B成分の光学像は、ここで光電変換されて電流信号になり、明るさ対応の電流値として出力される。

【0163】MOSセンサ105R、105G、105Bから出力された成分別の電気信号は、各成分別の電流電圧変換回路106R、106G、106B、AGC回路107R、107G、107B、CLP回路108R、108G、108Bを介してADC回路109R、109G、109Bに供給される。

【0164】各成分別のADC回路109R、109G、109BはCLP回路108からの画像信号に基づいて、例えば1サンプル値が8ビットからなるデジタルデータに変換し、このデータをプロセス制御回路112へ供給する。

【0165】プロセス制御回路112は、例えばガンマ補正回路、ホワイトクリップ回路、ブラッククリップ回路、ニー回路等からなり、供給された映像信号に対して必要に応じてプロセス処理を施す。また必要に応じ、色バランス等の処理を施す。該プロセス制御回路112により処理された信号は、エンコーダ回路113に送られる。エンコーダ回路113では、送られてきた信号を演算し、色バランス等の処理を施す。また、ビデオカメラ出力をネットワーク等により通信する場合にはこのエンコーダ回路113において、標準のカラーテレビジョン放送方式であるPAL方式やNTSC方式等への複合映像信号に変換する処理が施される。

【0166】また、MOSセンサ105R、105G、105B、電流電圧変換回路106R、106G、106Bは、自系統対応のTG/SG回路111から送られるタイミング信号、同期信号によりタイミングが制御される。このTG/SG回路111の動作電源および出力電圧は、MOSセンサ105に供給される電源レベルと同一である。

【0167】その後、映像信号は出力回路114を介し

てD/A変換回路115に与えられ、このD/A変換回路115はこの入力された信号をアナログビデオ信号に変換してカメラ信号として出力する。また、映像信号は出力回路114を介して直接、デジタルの信号としての出力も可能である。そしてこれらのカメラ信号は、ビデオテープレコーダ等の記録装置やモニタ装置に供給される。

【0168】本実施例では、低消費電力・低電圧化を図り、しかも、1秒間に30フレームの画像を処理する必要のあるビデオカメラにおいて、固定パターン雑音成分を水平帰線期間内にキャンセルすることができて、S/Nを確保して高画質の画像信号を得ることのできるビデオカメラを提供できる。

【0169】以上の例は、光学像をRGBの三原色成分に分解するのに色分解プリズムを用いた構成であるが、これはダイクロイックミラーにより、色分解する構成とすることもできる。例えば、赤反射、緑反射、青反射の各ダイクロイックミラーにより、入射光を分離分配し、それぞれRGBの成分に光学像を分解する。その光学像をR像用、G像用、B像用のMOSセンサで撮像し、R像、G像、B像の画像信号を得る。このようにすると、プリズムを用いずとも、光学像を三原色の成分別にして得ることができる構成となる。

【0170】(第8の実施の形態)

<増幅型MOSセンサのネットワークシステムでの応用>
図27に上述のビデオカメラ100、100-2の信号を、ネットワークを通してモニタ装置等に送る時のシステム構成例を示す。図において、300はネットワークであり、LAN(ローカルエリアネットワーク)や公衆回線(電話回線)、専用線といったものや、インターネット、イントラネットなど、何でも良い。ビデオカメラ100、100-2はこのネットワーク300に対してインターフェース301を介して接続される。

【0171】310はインテリジェント端末であり、パーソナルコンピュータ或いはワークステーションなどが相当する。インテリジェント端末310はプロセッサやメインメモリ、クロックジェネレータなどを含むコンピュータ本体311と、ネットワーク接続用のインターフェース312と、画像表示用のメモリであるビデオRAM313、プリンタインターフェース314、SCSI(Small Computer System Interface)などの標準バスインターフェース315、317、ビデオカメラ接続用のインターフェース316などを備えており、これらは内部バスで接続されている。ビデオRAM313にはCRTモニタや液晶ディスプレイなどのモニタ装置318が接続されており、また、プリンタインターフェース314にはプリンタが接続されている。標準バスインターフェース317には光ディスク装置やハードディスク装置或いはDVD(Digital Video Disc)などの大容量外部記憶装置320が接続され、さらには標準バスインタ

ーフェース317には例えば、ハードコピーからイメージ像を取り込むイメージスキャナ321が接続されている。また、ビデオカメラ接続用のインターフェース316には例えば上述の実施例で説明した構成のビデオカメラ100が接続されている。

【0172】このような構成において、ビデオカメラ100または100-2において撮像されることにより得られた被写体の画像は上述したように、エンコーダ回路113によりビデオカメラ出力をネットワーク等により通信するためにMPEG方式で画像圧縮処理されたデジタル信号に変換する処理が施される。そして、この複合映像信号はデジタルデータとしてインターフェース301を介してネットワークでの伝送フォーマットでネットワーク300へと出力される。ネットワーク300にはインターフェース312を介してインテリジェント端末310が接続されており、ビデオカメラ100または100-2からの伝送データが当該インテリジェント端末310宛てのものであれば、当該インテリジェント端末310のコンピュータ本体311はこの伝送データをインターフェース312を介してネットワーク300から取り込む。そして、コンピュータ本体311はこの伝送データから画像情報部分を抽出する。ビデオカメラ100または100-2では画像を圧縮処理しているので、コンピュータ本体311は前記画像を伸長処理し、元の画像に復元する。そして、復元した画像のデータをビデオRAM313に順次、書き込む。画像は動画であるからビデオRAM313の画像データは次々に更新する。この結果、ビデオRAM313の画像データを画像として表示するモニタ装置318にはビデオカメラ100または100-2から送られてきた動画が表示されることになる。

【0173】ビデオカメラ100において撮像されることにより得られた被写体の画像は、上述したように、エンコーダ回路113により、ビデオカメラ出力をネットワーク等により通信するために、MPEG方式で画像圧縮処理されたデジタルデータに変換された後、インターフェース316を介してコンピュータ本体311に出力され、コンピュータ本体311はそれを伸長処理し、元の画像に復元する。そして、復元した画像のデータをビデオRAM313に順次、書き込む。画像は動画であるからビデオRAM313の画像データは次々に更新する。このようにしてビデオRAM313の画像データを画像として表示するモニタ装置318にはビデオカメラ100から送られてきた動画が表示される。

【0174】また、コンピュータ本体311はインテリジェント端末310に接続されている当該ビデオカメラ100の画像をネットワーク300に伝送しようとする場合、そのネットワークでの伝送フォーマットに編集し、インターフェース312を介してネットワーク300へと出力する。

【0175】(第9の実施の形態)

＜増幅型MOSセンサのステルカメラへの応用＞図28に本発明におけるMOSセンサを用いたステルカメラの実施例を示す。図28に示すように、本発明のステルカメラ400は、レンズ系や絞りを含み被写体像をとりこむ光学系411、この光学系411に取り込まれた像が結像されるMOSセンサ415、このMOSセンサ415の結像面と前記光学系411との間に位置してその両者間の光路上に挿脱自在に配され、当該光路上に挿入されている時は光学系411で取り込んだ被写体像をファインダ414に分配すると共に光路外に脱出された時は光学系411で取り込んだ被写体像をMOSセンサ415の結像面に結像させるシャッタとしての機能を有するミラー412、ミラー412の反射光をファインダ414に導くためのミラー413、MOSセンサ415から画像の信号を色成分別に読み出す撮像回路416、その読み出した出力をデジタル信号に変換するA/D変換器417、このA/D変換器417により変換されたデジタル信号を画面単位で保持するフレームメモリ418、フレームメモリ418に保持されたデジタル信号を画面単位で圧縮処理する圧縮回路419、画像データを記憶するメモリカード421、圧縮回路419により圧縮処理されて得られた画像データをメモリカード421に書き込むべく制御するカードコントロール回路420から構成される。

【0176】このような構成において、図示しないシャッタボタンを操作することにより、光学系411のとらえた被写体像はMOSセンサ415に結像される。MOSセンサ415は本発明で用いられるノイズキャンセラ回路を備えた固体撮像装置であり、光学系411で取り込まれた光学像が結像されると画素単位で、その光学像の光量対応の電気信号に変換する。カラー画像を撮影できるようにするために、MOSセンサ415はその結像面側に画素毎にRGBいずれかのカラーフィルタ部を有するカラーフィルタアレイが設けてあり、撮像回路416はMOSセンサ415により得られた電気信号をRGBの成分別に分離して出力する。そして、電流電圧変換回路106は撮像回路416から出力された色成分別の電気信号をデジタル信号に変換し、この変換されたデジタル信号はフレームメモリ418に画面単位で一時保持される。

【0177】フレームメモリ418に保持されたデジタル信号は圧縮回路419により画像単位で圧縮処理され、カードコントロール回路420に出力される。そして、カードコントロール回路420はこの圧縮処理された画像のデータをデータの記憶媒体であるメモリカード421に記憶制御する。

【0178】このようにして、メモリカード421には、シャッタボタンを操作する毎に撮影されたステル画像が、画面単位で圧縮されてメモリカード421に記憶

される。メモリカード421はカメラから着脱可能であり、メモリカード421に記憶された画像は、図示しない読取り再生装置に装着して、画像データを伸長して復元し、モニタ装置に表示させたり、ビデオプリンタなどのハードコピー装置に出力して観賞する。

【0179】本実施例では、低消費電力・低電圧化を図り、しかも、1秒間に複数コマ連続撮影する高速連写を高いS/Nを以て実現することが可能になり、コンパクトで、高機能、高性能なステルカメラを得ることができる。つまり、MOSセンサにおいて問題となっていた固定パターン雑音成分を短時間でキャンセルすることができて、S/Nの良い従って高画質の写真を得ることのできるステルカメラを提供できる。

【0180】(第10の実施の形態)

＜増幅型MOSセンサのファクシミリへの応用＞図29に本発明におけるMOSセンサを用いたファクシミリ装置の実施例を示す。図は原理的な構成を示しており、紙に手書きあるいはプリントした原稿や、写真などのようなシート状の原稿501を、図示しない主搬送機構で主走査方向(矢印B方向)に搬送しつつ、定位置に固定して原稿の横断方向に配されたMOSセンサ502にて原稿のイメージ情報を読み取る。503は光源、504はMOSセンサ502の受光面に原稿像を結像させるレンズである。

【0181】MOSセンサ502は画素単位の受光部(フォトダイオード)を一次元配列したリニアセンサであり、本発明で用いられるノイズキャンセラ回路を備えたモノクロームの固体撮像装置である。

【0182】本ファクシミリ装置にシート状の原稿501をセットすると、図示しない主搬送機構がこの原稿501を主走査方向(矢印B方向)に搬送する。そして、定位置に固定してあるMOSセンサ502の受光面に、原稿の画像が1ライン相当分ずつ、レンズを504を介して結像される。MOSセンサ502はこの結像された原稿のイメージ情報を読み取る。

【0183】すなわち、これによりMOSセンサ502からは画素配列順に受光量対応の信号が画素単位で画像信号として読み出されて出力されるので、増幅器505でこれを出力順に増幅した後、この増幅された画像信号をA/Dコンバータ506でデジタル信号に変換してからモデム507で電話回線用に変調して電話回線へと出力する。

【0184】受信側ではこの受信した信号を復調し、主走査方向に搬送される記録紙の横断方向に、受信順に信号値対応の濃度で画素をプリントしてゆけば、画像がハードコピーとして再生される。

【0185】本実施例では、低消費電力・低電圧化を図り、しかも、高速読み取りを高いS/Nを以て実現することが可能になり、コンパクトで、高機能、高性能なファクシミリ装置を得ることができる。つまり、MOSセ

ンサにおいて問題となっていた固定パターン雑音成分を短時間でキャンセルすることができて、S/Nの良い従って高画質のイメージを高速で送ることのできるファクシミリ装置を提供できる。

【0186】なお、リニアセンサは近年の素子の場合、原稿面に密着してイメージを読み取る密着型のもの出現している。そこで、密着型とするには原稿像を導くレンズと、このレンズにより導かれた像が結像されて、その光量対応の電気信号に変換する画素単位の受光部と、原稿面に照明光を当てる発光素子とを一体的に組み込んだ構成として実現でき、この様なものを用いるようにしても良い。

【0187】(第11の実施の形態)

＜増幅型MOSセンサの複写機への応用＞図30に本発明におけるMOSセンサを用いた電子複写機の実施例を示す。図は原理的な構成を示しており、箱型の筐体601の上面部分に、透明ガラスなどによる原稿置き台602が設けられており、この原稿置き台602の上面に紙に手書きをしたあるいはプリントした原稿、あるいは写真などのようなシート状の原稿603をおいて押さえ蓋604で原稿を押さえる構成である。

【0188】筐体601内には、原稿置き台602の直下位置近傍に、原稿置き台602の一方の端から他方の端までの間を一定速度で反復移動できる光学系が設けてある。ここではこの反復移動方向を主走査方向と呼ぶことにする。光学系は棒状の光源605、ミラー606、レンズ607からなり、光源605は主走査方向と直交する方向（この方向を副走査方向と呼ぶことにする）に配する。

【0189】レンズ607の結像位置にはMOSセンサ608が設けてある。MOSセンサ608は画素単位の受光部（フォトダイオード）を一次元配列したリニアセンサであり、本発明で用いられるノイズキャンセラ回路を備えたモノクロームの固体撮像装置である。

【0190】MOSセンサ608は副走査方向1ライン分のイメージを結像されてこれを受光量対応の信号に変換する。スキャナコントローラ609はMOSセンサ608からは画素配列順に受光量対応の信号が画素単位で画像信号として読み出されて出力されるように、MOSセンサ608を制御すると共に、主走査方向に順に光学系が移動するように、当該光学系の主走査方向駆動移動を制御する。システムコントローラ610はシステム全体の制御を司るものであり、また、MOSセンサ608から出力される受光量対応の信号に基づいてレーザ光源611の出力を制御する。レーザ光源611はスポット状のレーザビームを発生するものであり、このレーザ光源611から発生されたレーザビームはレーザビームをスキャンさせるための走査ミラーであるポリゴンミラー612により反射されて円筒状の感光体ドラム613に結像される。この結像位置が描画位置である。感光体ドラム613は所定速度で一方向に回転駆動される構成であり、感光体ドラム613は図示しない帯電装置により、レーザビームの照射位置の上流位置（描画位置の上流位置）で帯電される。

【0191】ポリゴンミラー612はシステムコントローラ610により制御されることにより、スポット状のレーザビームを円筒状の感光体ドラム613表面にMOSセンサ608からの信号の出力速度対応にスキャンさせる形となり、感光体ドラム613のドラム回転方向を主走査方向とすると、当該回転方向と直交方法にレーザビームをスキャンさせることでドラム表面にはレーザビームの光量対応に電荷が失われて原稿のイメージ相当の潜像が形成される。感光体ドラム613は、描画位置の下流位置において潜像を可視像にする現像部614の配置位置通過時にその位置にある潜像が、現像部614の付与するトナーにより現像されて可視像化される。そして、このトナー像をコピー用紙の収納トレイ615より一枚ずつ取り出されて感光体ドラム613の下面側位置の搬送経路616に搬送されて来るコピー用紙に転写される。

【0192】コピー用紙の搬送速度と感光体ドラム613の回転速度は同期しており、1ライン単位で逐次描画されて感光体ドラム613表面に形成された潜像のトナー像を転写させていくことにより、原稿と同一のイメージのトナー像がコピー用紙に残ることになる。搬送経路616はこのトナー像が転写されたコピー用紙を排出口側へと送る経路であり、搬送経路616に設けてある搬送機構によりコピー用紙は排出口側へと送られるようにしてある。定着部617は排出口手前に設けたトナー定着のための装置であり、トナー像が転写されたコピー用紙はこの定着部617を通過する際に、トナーがコピー用紙に定着され、排出口に排出される仕組みである。

【0193】このような構成において、コピーする時は、原稿置き台602の上面にシート状の原稿603を置き、押さえ蓋604で原稿を押さえる。原稿置き台602の直下位置近傍には、原稿置き台602の一方の端から他方の端までの間を一定速度で主走査方向に反復移動できる光学系が設けてあるので、プリントスタート操作するとこの光学系である光源605、ミラー606、レンズ607は主走査方向に反復移動する構成となる。

【0194】主走査方向を縦方向としてみた場合に、原稿置き台602の横方向を幅方向と定める。この場合、光学系を構成する光源605は原稿置き台602の幅相当分の範囲を照らし、光学系を構成するミラー606、レンズ607はこの照らされた範囲の像をMOSセンサ608の受光面に結像する。MOSセンサ608は画素単位の受光部（フォトダイオード）を一次元配列したリニアセンサであり、本発明で用いられるノイズキャンセラ回路を備えたモノクロームの固体撮像装置である。

【0195】従って、MOSセンサ608は幅方向の1

ライン分（すなわち、副走査方向1ライン分）のイメージが結像されてこれを受光量対応の信号に変換する。そして、MOSセンサ608からは画素配列順に受光量対応の信号が画素単位で画像信号として読み出されて出力されるように、スキャナコントローラ609は制御すると共に、また、主走査方向に順に光学系が移動するように、当該光学系的主走査方向駆動移動を制御する。そのため、原稿置き台602の原稿603のイメージ像が主走査方向順に、しかも、副走査方向1ライン単位で画素順に受光量対応の信号が得られるようになる。

【0196】この信号はシステムコントローラ610に与えられ、システムコントローラ610はこの信号対応にレーザ光源611の出力を制御する。そのため、レーザ光源611はMOSセンサ608から出力される受光量対応の強さの光を発振することになる。

【0197】一方、システムコントローラ610はポリゴンミラー612をMOSセンサ608の読み出し速度に同期させて首振り運動させるように駆動制御するので、MOSセンサ608の読み出し速度に同期させて、しかも、1ライン分のイメージ対応分（すなわち、副走査方向1ライン分）の光学像イメージがポリゴンミラー612により感光体ドラム613上に描画されることになる。

【0198】感光体ドラム613は主走査速度に対応する周速度で一定方向に回転駆動されている。そして、感光体ドラム613はその周面が、ポリゴンミラー612によるレーザ光の描画位置に到達する段階では既に帯電手段により帯電されている。そして、レーザ光を照射されることにより、その照射を受けた部分の感光体ドラム613は、電荷がその照射を受けた光量分、電荷が失われている。そのため、感光体ドラム613上にはポリゴンミラー612によるレーザ光の描画走査位置より回転方向の下流領域に、原稿のイメージが潜像として残ることになる。

【0199】この潜像は現像部614の位置を通過する段階で、当該現像部614の付与するトナーにより現像されて可視像化される。そして、このトナー像はコピー用紙の収納トレイ615より一枚ずつ取り出されて感光体ドラム613の下面側位置の搬送経路616に搬送されて来るコピー用紙に転写される。コピー用紙の搬送速度と感光体ドラム613の回転速度は同期しており、1ライン単位で逐次描画されて感光体ドラム613表面に形成された潜像のトナー像を転写させていくことにより、原稿と同一のイメージのトナー像がコピー用紙に残ることになる。このトナー像が転写されたコピー用紙は搬送機構により搬送経路616を排出口側へと送られ、排出口手前に設けた定着部617を通過する際に、この定着部617によりトナーがコピー用紙に定着されて排出される。

【0200】本実施例では、低消費電力・低電圧化を図

り、しかも、高速読み取りを高いS/Nを以て実現することが可能になり、コンパクトで、高機能、高性能な電子複写機を得ることができるようになる。つまり、MOSセンサにおいて問題となっていた固定パターン雑音成分を短時間でキャンセルすることができて、S/Nの良い従って高画質のイメージを高速で読み取って高速で複写することのできる電子複写機を提供できる。

【0201】なお、以上の複写機は原稿は位置固定とし、光学系を主走査方向に移動させるようにした構成のものを示したが、光学系を位置固定とし、原稿を主走査方向に搬送するようにした構成の装置として実現することもできる。また、以上の複写機はモノクロームの装置を例に説明したが、光学系に3原色のカラーフィルターを設けて、色分解し、色別に潜像を形成して、その色別の潜像をその対応する色のトナーで現像することにより、カラーコピーを得ることができ複写機を実現することができる。

【0202】（第12の実施の形態）

<増幅型MOSセンサのスキャナへの応用>図31に本発明におけるMOSセンサを用いたハンディ形イメージスキャナの実施例を示す。本発明のイメージスキャナ700は、図に示すように、筐体701内に、光源であるLEDアレイ702とミラー703、ローラ704を取り付けて構成してある。LEDアレイ702は筐体701のほぼ横幅全体近くに亘る長さであり、筐体701の下方外部を照明する。また、ミラー703はLEDアレイ702の配置位置近傍に配されて、LEDアレイ702で照明された原稿のイメージ像を筐体701の下部に設けたスリット701aを介して筐体701の内部に取り込む。

【0203】図31のハンディ形イメージスキャナは、筐体701を原稿の上に置き、そのまま、原稿上を滑らせるかたちで手操作により移動走査する。その際に、スリット701aから原稿のイメージを1ライン単位で取り込むようにするため、そのライン位置の検出と読取りの同期をとるために、ローラ704を設けてある。ローラ704は原稿に接してその原稿との摩擦により、回転できるようにするために、筐体701の下部から周面の一部を露出させてある。この露出位置はスリット701aの近傍である。

【0204】筐体701の内部にはローラ704の回転に同期してその回転方向と回転量を検出するエンコーダ705が設けてあり、また、筐体701の内部にはMOSセンサ706と、このMOSセンサ706の受光面に前記ミラー703により導いた原稿像を結像させるレンズ707が設けてある。

【0205】MOSセンサ706は画素単位の受光部（フォトダイオード）を一次元配列したりニアセンサであり、本発明で用いられるノイズキャンセラ回路を備えたモノクロームの固体撮像装置である。リニアセンサ

は近年の素子の場合、原稿面に密着してイメージを読み取る密着型のものが多い。そこで、密着型とするには原稿像を導くレンズと、このレンズにより導かれた像が結像されて、その光量対応の電気信号に変換する画素単位の受光部と、原稿面に照明光を当てる発光素子とを一体的に組み込んだ構成として実現できる。

【0206】ここでは原理的に示すために、図31のような構成を示している。

【0207】MOSセンサ706から読み出された信号は、前記エンコーダ705の出力により、位置の対応がとられ、また、読み出しタイミング制御に使用される。

【0208】このような構成において、シート状の原稿を平らな場所に置き、その上にこのハンディスキャナを置いて、この原稿上をローラ704の回転可能な方向に移動させる。この移動方向が主走査方向となる。このとき、LEDアレイ702は原稿面を照明し、スリット701aを介して原稿のイメージがミラー703に入る。そして、ミラー703で反射されてレンズ707により、MOSセンサ706に結像される。

【0209】MOSセンサ706はラインイメージセンサであり、固定してあるMOSセンサ706の受光面に、原稿の画像が1ライン相当分ずつ、レンズを707を介して結像され、この結像された原稿のイメージ情報を読み取る。

【0210】このように、本実施例でのハンディ形イメージスキャナは、筐体701を原稿の上に置き、そのまま、原稿上を滑らせるかたちで手操作により移動走査する。その際に、スリット701aから原稿のイメージを1ライン単位で取り込むようにするため、そのライン位置の検出と読取りの同期をとるローラ704が設けてあり、このローラ704は原稿に接してその原稿との摩擦により、回転される結果、エンコーダ705からこのローラ704の回転方向、回転量対応の検出信号が出力される。そして、このエンコーダ705からの検出信号を元に、図示しない制御手段により、MOSセンサ706の出力信号を原稿の1ライン単位一致するように、制御して出力させる。

【0211】本実施例では、低消費電力・低電圧化を図り、しかも、高速読み取りを高いS/Nを以て実現することが可能になり、コンパクトで、高機能、高性能なイメージスキャナ装置を得ることができる。つまり、MOSセンサにおいて問題となっていた固定パターン雑音成分を短時間でキャンセルすることができて、S/Nの良い従って高画質のイメージを高速で送ることのできるイメージスキャナ装置を提供できる。

【0212】なお、この例ではハンディ形のイメージスキャナを示したが、原稿を原稿置き台の上に置き、光学系を主走査駆動させるようにしたデスクトップ形のイメージスキャナにも応用できる。また、光学系を位置固定とし、原稿を主走査方向に搬送するようにした構成の

装置として実現することもできる。また、以上のイメージスキャナはモノクロームの装置を例に説明したが、光学系に3原色のカラーフィルターを設けて、色分解し、色別に画像信号を得ることにより、カラー画像の信号を得ることができるイメージスキャナを実現することができる。さらには、光学系を凹面鏡を用いて形成して画像をこの凹面鏡により、MOSセンサに導くようにしたり、光ファイバを束ねて構成したオプティカルファイバーにより、画像をMOSセンサに導く構成にするなど種々の変形が可能である。

【0213】(第13の実施の形態)

<デスクトップ形のカラーイメージスキャナ>第13の実施の形態にデスクトップ形のカラーイメージスキャナに使用する光学系の構成を示す。デスクトップ形のカラーイメージスキャナでは光学系は定位置固定であり、原稿を主走査方向に走査する。この場合、図32に示すように、光学系に3原色のカラーフィルターを設けて、色分解し、色別に画像信号を得る。図32において、画像信号を得るMOSセンサSはラインセンサであり、画素を1ライン相当分、直線的に並べて構成してある。MOSセンサSの受光面側にはカラーフィルターFが配されている。カラーフィルターFは1ライン相当分の幅および長さをそれぞれ有するR(赤)、G(緑)、B(青)の各色成分用の光学フィルタ部が並列的に配された構成である。そして、MOSセンサSの受光面側は原稿DPの光学像をレンズL、およびカラーフィルターFを介して結像される構成である。原稿DPは、光源LPにより照明される。

【0214】カラーフィルターFは、R(赤)、G(緑)、B(青)の各色成分用の光学フィルタ部をMOSセンサSの受光面上に移動できるように駆動移動走査機構DRにより移動走査可能に支持されている。そして、赤像を受光する時はRの色成分用の光学フィルタ部を、緑像を受光する時はGの色成分用の光学フィルタ部を、そして、青像を受光する時はBの色成分用の光学フィルタ部をMOSセンサSの受光面上に位置させるように、画像の収集タイミングと同期を取りながら駆動移動制御させる。

【0215】これにより、MOSセンサSからは、R(赤)、G(緑)、B(青)の各色成分用の光学像の画像信号を得ることができる。

【0216】(第14の実施の形態)

<増幅型MOSセンサのフィルムスキャナ装置への応用>本発明の増幅型MOSセンサは、パソコンや画像ディスプレイ装置等に、例えば、35mmロングフィルムの1コマ、1コマを読み込んで画像信号を得るフィルムスキャナ装置へのも応用できる。

【0217】その構成例を図33に示す。図に示すように、増幅型MOSセンサによる密着形のラインセンサS、このラインセンサSの受光面側に配されるS現像済

みの銀塩ロングフィルムFM、この銀塩ロングフィルムFMをラインセンサSの受光面位置上で照明する光源LP、銀塩ロングフィルムFを挟んで一方向に一定速度で搬送する一対の搬送ローラCからなる。

【0218】このような構成によれば、搬送ローラCで銀塩ロングフィルムFMを挟み、この搬送ローラCを一定速度で回転駆動させる。これにより、銀塩ロングフィルムFMは一方向に一定速度で搬送される。従って、密着形のラインセンサSで銀塩ロングフィルムFMの像を、フィルム搬送速度に同期させながら読み出し制御して、受光量対応の信号を得る。この信号は雑音のキャンセルが成されており、画像成分のみのフィルム像をライン単位で電気信号に変換して出力することができる。

【0219】(第15の実施の形態)

＜オートフォーカス機構への応用＞図34に本発明におけるMOSセンサを用いたオートフォーカス機構付きの1眼レフカメラの実施例を示す。図において、本発明の1眼レフカメラ800は焦点位置調整機構付きのレンズ801と、このレンズ801のとらえた光学像が結像されて露光されるフィルム803、カメラ800のファインダ802aにレンズ801のとらえた光学像を導くプリズム802b、本発明のオートフォーカスセンサモジュール804、ハーフミラーで構成され、レンズ801の光路上に配されて、シャッタ操作することで、前記光路から完全に外れるようにした跳ね上がり式のファインダーミラー805と、このファインダーミラー805の背面に取り付けられ、前記レンズ801の光路上にこのファインダーミラー805が位置するときに、ファインダーミラー805の透過光学像をオートフォーカスセンサモジュール803に結像させるサブミラー806を備える。

【0220】オートフォーカスセンサモジュール804は本発明で用いられるノイズキャンセラ回路を備えたMOSセンサを用いており、図35に示すように、MOSセンサ804a部分の受光面の前面にはセパレータレンズ804bが固定して設けてある。MOSセンサ804aとしては2次元配列の受光面を有するものを用いている。セパレータレンズ804bは図35に示すように、一対の凸レンズが並べて配置されて構成であり、サブミラー806で分配された光学像はこのセパレータレンズ804bによりそれぞれMOSセンサ804aの受光面の別の領域に結像される構成である。一対の凸レンズが並べて配置された構成のセパレータレンズ804bでこのように光学像をMOSセンサ804aの受光面に導く構成とすることで、上記受光面には異なる領域にそれぞれ像が結像されて、一対の像が得られることになる。

【0221】このような構成のカメラは、レンズ801でとらえられる被写体像はファインダーミラー805によりプリズム802bとサブミラー806とに分配される。ファインダーミラー805に分配された被写体像は

プリズム802bを通してファインダ802aに結像され、カメラ800のとらえている被写体像を観察可能にする。

【0222】一方、サブミラー806に分配された被写体像は、オートフォーカスセンサモジュール804に導かれる。オートフォーカスセンサモジュール804はMOSセンサ804aにより構成されており、MOSセンサ804a部分の受光面の前面にはセパレータレンズ804bが配置されている。そして、このセパレータレンズ804bはMOSセンサ804aの受光面にそれぞれ別の領域に結像させる。MOSセンサ804aでは受光面を形成するそれぞれの画素対応のフォトダイオードに結像された光学像の光量に対応する電気信号を発生するので、これを順に読み出す。

【0223】オートフォーカスセンサモジュール804においては、セパレータレンズ804bにより、MOSセンサ804a部分の受光面は2つの画像結像領域に事実上、分割されている状態であり、2つの画像結像領域にそれぞれ結像された被写体像は焦点が合焦（ピントが合った状態）した場合には図35(a)の806Aのように、MOSセンサ804aの出力としては各分割された画像結像領域の基準画素位置P0、P0'を中心に、それぞれ同じ画像のものがあらわれる状態になる。

【0224】また、前ピン（ピント位置がフィルム面から前位置にずれている状態）では図35(b)の806Bのように、MOSセンサ804aの出力としては各分割された画像結像領域の基準画素位置P0、P0'より互いに内側に近付いた位置に、それぞれ同じ画像のものがあらわれる状態とになる。

【0225】また、後ピン（ピント位置がフィルム面より後ろの位置にずれている状態）では図35(c)の806Cのように、MOSセンサ804aの出力としては各分割された画像結像領域の基準画素位置P0、P0'より互いに外側に離れる位置に、それぞれ同じ画像のものがあらわれる状態とになる。

【0226】したがって、このMOSセンサ804aの出力から、当該MOSセンサ804aの出力が前記各分割された画像結像領域の基準画素位置P0、P0'を中心に、それぞれ同じ画像のものがあらわれる状態になる方向にレンズ801をピント調整するに必要な制御量を求めてその制御量分、焦点位置調整機構を制御する。これにより、レンズ801はフィルム面に対して合焦状態になるように、ピント調整される。

【0227】シャッタ操作がされると、ファインダーミラー805が跳ね上がり、光路から外れるので、レンズ801でとらえた被写体像はフィルム面に結像され、フィルムは露光されてピントの合った被写体像が撮影される。

【0228】本発明のオートフォーカス機構を備えたカメラは、ピントの状態検出を低消費電力・低電圧で実現

でき、しかも、高速読み取りを高い S/N を以て実現することが可能になり、早いシャッタ速度で撮影する場合や、高速連写撮影においても、十分に追従してピント状態の検出ができ、即座にピント合わせ制御をして鮮明な画像を撮影することができるようになる。つまり、MOSセンサにおいて問題となっていた固定パターン雑音成分を短時間でキャンセルすることができて、 S/N のよい従って高画質のイメージを高速で読み取って高速でピント状態の検出ができ、即座にピント合わせ制御ができて鮮明な画像を撮影することができるようになる。

【0229】なお、ここでは1眼レフカメラを例に説明したが、オートフォーカス機構はレンズシャッタカメラや双眼鏡、光学顕微鏡などにも適用することが可能である。

【0230】次に、上述した各システムで用いられる低雑音のMOSセンサ、すなわち、固定パターンノイズが効果的に除去され、例えば、70dB以上の大きな出力ダイナミックレンジを得ることが可能なMOSセンサ、そして、このMOSセンサで用いられるノイズキャンセラ回路、および単位セルの具体例について、図面を参照して説明する。

【0231】増幅型MOSセンサを用いた固体撮像装置が受光部としてフォトダイオードを用いており、各セル毎にフォトダイオードで検出した信号をトランジスタで増幅するもので、高感度という特徴を持つ。

【0232】一般に、増幅型MOS型固体撮像装置においては、各単位セルにおける画素に相当する受光部であるフォトダイオードの出力信号を、その単位セルに設けられた増幅トランジスタを通して増幅して取り出す。そのため、この増幅の際に、増幅トランジスタの特性のバラツキ対応分が信号に重畳されることになる。ゆえに、たとえ各単位セルにおける各フォトダイオードの電位がそれぞれ同じであったとしても、そのフォトダイオードの所属する単位セルでの増幅トランジスタがそれぞれ別物であり、各増幅トランジスタはその特性が微妙に異なるので、出力信号がそれぞれ同じとはならない。そのため、増幅型MOS型固体撮像装置で撮像した画像を再生すると、各単位セルでの増幅トランジスタの特性バラツキに対応する雑音が発生する。

【0233】このように増幅型MOS型固体撮像装置では、各単位セルでの増幅トランジスタでそれぞれ特性が微妙に異なり、各単位セルで固有なものであるために、再生した画像に場所的に固定されて分布する雑音、つまり、2次元状の雑音の発生が避けられない。この雑音は2次元空間である画面上で、場所的に固定されているという意味で、固定パターン雑音と呼ばれる。

【0234】この固定パターン雑音を除去するために設けたのが、以下、詳述する本発明で用いられるノイズキャンセラ回路である。

【0235】次に、信号電荷をセル内で増幅する増幅型

MOSセンサを用いた固体撮像装置に用いられるノイズキャンセラ回路の具体的な例に触れておく。

【0236】(第16の実施の形態)図36は、本発明で用いられる第16の実施の形態に係るMOS型固体撮像装置にかかわり、特にノイズキャンセラ回路を備えたMOS型固体撮像装置の構成例を示す。単位セル $P4-i-j$ が縦、横に2次元マトリクス状に配列されている。図では、 2×2 しか示していないが、実際は数千個 \times 数千個ある。 i は水平(row)方向の変数、 j は垂直(column)方向の変数である。各単位セル $P4-i-j$ の詳細は既に、図3、図5(b)、図5(c)あるいは図8で説明した如きのものである。図36において、図3、図5(b)、図5(c)あるいは図8で説明したものと同一名称のものは、同一物であるものとする。

【0237】本発明で用いられる固体撮像装置の応用分野としては、ビデオカメラ、電子スチルカメラ、ディジタルカメラ、ファクシミリ、複写機、スキャナ等がある。

【0238】垂直アドレス回路905から水平方向に配線されている垂直アドレス線906-1、906-2、…は各行の単位セルに接続され、信号を読み出す水平ラインを決めている。すなわち、垂直アドレス線906-1、906-2、…は対応する各行の単位セルにおける増幅トランジスタをアクティブにするかしないかを決定する信号線である。

【0239】同様に、垂直アドレス回路905から水平方向に配線されているリセット線907-1、907-2、…は、各列の単位セルに接続され、単位セル内のリセットトランジスタのゲートを駆動するようにしている。

【0240】各列の単位セルは列方向に配置された垂直信号線908-1、908-2、…に接続され、その単位セルの検出信号(画素信号)をこの信号線を通して出力する。これらの垂直信号線908-1、908-2、…の一端には負荷トランジスタ909-1、909-2、…が設けられている。負荷トランジスタ909-1、909-2、…のゲートとドレインは共通にドレイン電圧端子920に接続される。

【0241】垂直信号線908-1、908-2、…の他端は、MOSトランジスタ926-1、926-2、…のゲートに接続される。MOSトランジスタ926-1、926-2、…のソースはMOSトランジスタ928-1、928-2、…のドレインに接続され、MOSトランジスタ926-1、926-2、…、928-1、928-2、…はソースフォロウ回路として動作する。MOSトランジスタ928-1、928-2、…のゲートは共通ゲート端子936に接続される。

【0242】MOSトランジスタ926-1、926-2、…とMOSトランジスタ928-1、928-2、…との接続点がサンプルホールドトランジスタ930-

1, 930-2, ...を介してクランプ容量932-1, 932-2, ...の一端に接続される。クランプ容量932-1, 932-2, ...の他端にはサンプルホールド容量934-1, 934-2, ...とクランプトランジスタ940-1, 940-2, ...が並列に接続されている。サンプルホールド容量934-1, 934-2, ...の他端は接地されている。クランプ容量932-1, 932-2, ...の他端は水平選択トランジスタ912-1, 912-2, ...を介して信号出力端（水平信号線）915にも接続される。

【0243】垂直アドレス回路905は、複数、ここでは2本の信号を纏めてシフトする回路であり、図37、図38、図39のいずれかの回路により実現される。図37の例では、入力信号946を多数の出力端から順次シフトして出力するアドレス回路944の出力がマルチプレクサ948により2入力信号950と合成される。図38の例では、エンコード入力954をデコードするデコーダ952の出力がマルチプレクサ956により2入力信号958と合成される。図39の例では、2つのアドレス回路960a, 960bの出力を束ねて各行の制御信号線とする。

【0244】図36に示した各単位セル $P4-1-i$ ($i=1, 2, 3, \dots$)は、例えば、図3、図5(b)、図5(c)あるいは図8などの如きの構成である。

【0245】一般的に、増幅型MOS型固体撮像装置においては、増幅トランジスタの特性バラツキが信号に影響するため、フォトダイオードの出力が同じでもセルからの出力信号が同じとはならず、写した画像を再生すると増幅トランジスタの特性バラツキ等に対応する2次元状の雑音である固定パターン雑音が発生する。つまり、増幅型MOS型固体撮像装置においては、その受光面全面に一樣な光を当てたとしても、マトリクス配置の各画素から得られる画像信号のレベルは、各画素で一樣にならず、輝度むらのある画像信号となる。この輝度むらのある画像は雑音が2次元状に分布する雑音、つまり、画面という平面に分布する雑音であり、場所的に固定されているという意味で、固定パターン雑音と称される。

【0246】このため、本実施例においては、単位セル対応に図36に示すように、水平選択トランジスタ912の前に、この固定パターン雑音を抑圧するための回路を設けてなる雑音除去回路（ノイズキャンセラ回路）を用いるようにしている。

【0247】図41は、増幅型MOSセンサを用いた従来の固体撮像装置を示す回路構成図である。画素に相当する単位セル $P0-i-j$ が縦、横に2次元マトリクス状に配列されている。図では、 2×2 しか示していないが、実際は数千個 \times 数千個の配列である。 i は水平（row）方向の変数、 j は垂直（column）方向の変数であ

る。各単位セル $P0-i-j$ は、フォトダイオード $1-i-j$ と、増幅トランジスタ $2-i-j$ と、垂直選択トランジスタ $3-i-j$ と、リセットトランジスタ $4-i-j$ からなる。また、2次元マトリクス状に配列されている単位セル $P0-1-1, \dots, P0-i-j, \dots$ を順に選択するために、垂直アドレス回路205と水平アドレス回路213とがある。垂直アドレス回路205には $n \times m$ 構成の2次元マトリクス状配列の単位セル $P0-1-1, \dots, P0-i-j, \dots$ の横配列数（水平（row）方向配列数）である n に対応する数のアドレス出力端子とリセット信号端子のペアがあり、水平アドレス回路213には $n \times m$ 構成の2次元マトリクス状配列の単位セル $P0-1-1, \dots, P0-i-j, \dots$ の縦配列数（垂直（column）方向配列数）である m に対応するアドレス出力端子がある。なお、 m, n, i, j は任意の整数である。

【0248】そして、水平（row）方向に並ぶ単位セル $P0-1-1, P0-1-2, \dots, P0-2-j, \dots$ に沿って1本ずつ、垂直アドレス回路205から水平（row）方向に垂直アドレス線6-1, 6-2, ...が順に配線されており、これら垂直アドレス線6-1, 6-2, ...はそれぞれ垂直アドレス回路205の n 個のアドレス出力端子のうち、対応する一つに接続されている。

【0249】また、水平（row）方向に並ぶ単位セル $P0-1-1, P0-1-2, \dots, P0-2-j, \dots$ に沿って1本ずつ、垂直アドレス回路205から水平（row）方向にリセット信号線7-1, 7-2, ...が順に配線されており、これらリセット信号線7-1, 7-2, ...はそれぞれ垂直アドレス回路205の n 個のリセット信号端子のうち、対応する一つに接続されている。

【0250】また、垂直方向に並ぶ単位セル $P0-1-1, P0-1-2, \dots, P0-2-j, \dots$ に沿って1本ずつ、水平アドレス回路213から垂直方向に垂直信号線8-1, 8-2, ...が順に配線されており、これら垂直信号線8-1, 8-2, ...はそれぞれ水平アドレス回路213の m 個のアドレス出力端子のうち、対応する一つに接続されている。

【0251】垂直アドレス回路205から水平方向に配線されている垂直アドレス線6-1, 6-2, ...は各行の単位セルの垂直選択トランジスタ $3-1-1, \dots$ のゲートに接続され、信号を読み出す水平ラインを決めている。同様に、垂直アドレス回路205から水平方向に配線されているリセット線7-1, 7-2, ...は、それぞれ対応する各行のリセットトランジスタ $4-1-1, \dots$ のゲートに接続されている。

【0252】入射光を検出するフォトダイオード $1-i-j$ は、入射光を検出する受光部を形成するものであり、1つのフォトダイオードで1画素を構成する。増幅トランジスタ $2-i-j$ は、このフォトダイオード $1-i-j$ の

発生した信号電荷を増幅して検出信号として出力するものであり、フォトダイオード1-i-jのカソードが自己のゲートに接続されることにより、フォトダイオード1-i-jの信号電荷を増幅してその信号電荷対応の増幅出力を検出信号としてドレイン側に発生するものである。

【0253】垂直選択トランジスタ3-i-jは、直流のシステム電源と増幅トランジスタ2-i-jのドレイン側との間に自己のソース・ドレイン間が接続され、自己のゲート側は垂直アドレス回路205の垂直アドレス線6-jに接続される。

【0254】リセットトランジスタ4-i-jは直流のシステム電源とフォトダイオード1-i-jのカソードとの間に自己のソース・ドレイン間が接続され、動作時にフォトダイオード1-i-jの信号電荷をリセットする。

【0255】つまり、具体的には垂直選択トランジスタ3-i-jのソース側とリセットトランジスタ4-i-jのソース側が、直流のシステム電源のドレイン電圧端子に共通に接続されて、ドレイン電圧が供給されるようにしてある。

【0256】上述したように、垂直アドレス回路205から水平方向に配線されている垂直アドレス線6-1, 6-2, …は各行の単位セルの垂直選択トランジスタ3-1-1, …のゲートに接続され、信号を読み出す水平ラインを決めている。同様に、垂直アドレス回路205から水平方向に配線されているリセット線7-1, 7-2, …は、各行のリセットトランジスタ4-1-1, …のゲートに接続されている。

【0257】従って、 $n \times m$ 構成 (n 行 m 列の配列構成)の画素の読み出しにおいて、 n ライン存在する水平ライン(行方向ライン)を、その読み出し走査順にアクティブにすべく、垂直アドレス回路205が垂直アドレス線6-1, 6-2, …を順次アクティブにし、また、画素の信号電荷をリセットするように、出力端子に信号出力をすべく、動作する構成としてある。

【0258】以上が、画像検出部であり、この画像検出部のほかにこの画像検出部が検出した画像を読み出す出力部がある。出力部は負荷トランジスタ9-1, 9-2, …、信号転送トランジスタ10-1, 10-2, …、蓄積容量11-1, 11-2, …、水平(row)選択トランジスタ12-1, 12-2, …から成り、次のような構成である。

【0259】すなわち、各列の単位セルの増幅トランジスタ2-1-1, 2-1-2, …のソース側は列方向に配置された垂直信号線8-1, 8-2, …のうち、自己の対応する列のものにそれぞれ接続されている。また、各列の単位セル対応に、それぞれ一つずつ、負荷トランジスタ9-1, 9-2, …が設けられており、垂直信号線8-1, 8-2, …の一端はこれら各負荷トランジ

スタ9-1, 9-2, …のうちの対応する一つと、その負荷トランジスタのソース・ドレイン側を介して直流のシステム電源に接続される。

【0260】また、垂直信号線8-1, 8-2, …の他端は、1行分の信号を取り込む信号転送トランジスタ10-1, 10-2, …のうちの自己に対応する一つを介して、1行分の信号を蓄積する蓄積容量11-1, 11-2, …のうちの自己に対応する一つに接続されるとともに、水平アドレス回路213から供給される水平アドレスパルスにより選択される水平(row)選択トランジスタ12-1, 12-2, …を介して信号出力端(水平信号線)215に接続されている。

【0261】つまり、垂直信号線8-1, 8-2, …の他端は、信号転送トランジスタ10-1, 10-2, …のうちの対応する一つのトランジスタのソース・ドレインを介して蓄積容量11-1, 11-2, …のうちの対応する一つの蓄積容量の一端側に接続されるとともに、水平(row)選択トランジスタ12-1, 12-2, …のうちの対応する一つのトランジスタのソース・ドレインを介して信号出力端(水平信号線)215に接続される。また、各蓄積容量11-1, 11-2, …の他端は接地され、信号転送トランジスタ10-1, 10-2, …のゲート側は共通ゲート214に接続される。共通ゲート214には、信号転送すべきタイミングにおいて信号転送パルスを印加することで、信号転送トランジスタ10-1, 10-2, …をオンさせて、垂直信号線8-1, 8-2, …に現れた電圧を、増幅信号蓄積容量11-1, 11-2, …に転送して蓄積させることができる。

【0262】水平アドレス回路213は、水平1ライン当たりの読み出すべき画素位置を順次選択してゆくためのものであって、 $n \times m$ 構成 (n 行 m 列構成)の画素の読み出しにおいて、水平1ラインの読み出し走査速度対応に、その時々走査位置に該当する画素位置の水平(row)選択トランジスタ12-1, 12-2, …をアクティブにするように水平アドレスパルスを発生する構成としてある。

【0263】従って、 $n \times m$ 構成 (n 行 m 列構成)の画素の読み出しにおいて、順次ライン位置を変えながらそのラインにおける画素の信号を読み出すといった走査を制御をすることができる。

【0264】図42のタイミングチャートを参照して、この従来のMOS型固体撮像装置の動作について説明する。垂直アドレス回路205より、垂直アドレス線6-iに当該垂直アドレス線6-iをハイレベルにするアドレスパルスが印加されると、この行の選択トランジスタ3-i-1, 3-i-2, …のみオンとなり、この行の増幅トランジスタ2-i-1, 2-i-2, …と負荷トランジスタ9-1, 9-2, …でソースフォロワ回路が構成される。

【0265】これにより、増幅トランジスタ $2-i-1$ 、 $2-i-2$ 、…のゲート電圧、すなわちフォトダイオード $1-i-1$ 、 $1-i-2$ 、…の電圧とほぼ同等の電圧が垂直信号線 $8-1$ 、 $8-2$ 、…に現れる。

【0266】このとき、信号転送トランジスタ $10-1$ 、 $10-2$ 、…の共通ゲート 214 に信号転送パルス印加すると、増幅信号蓄積容量 $11-1$ 、 $11-2$ 、…には垂直信号線 $8-1$ 、 $8-2$ 、…に現れた電圧とその容量との積で表される増幅された信号電荷が蓄積される。

【0267】増幅信号蓄積容量 $11-1$ 、 $11-2$ 、…に信号電荷が蓄積された後、垂直アドレス回路 5 は、リセットライン $7-i$ にリセットパルス印加する。そして、このリセットパルスによりリセットトランジスタ $4-i-1$ 、 $4-i-2$ 、…はオンされ、フォトダイオード $1-i-1$ 、 $1-i-2$ 、…に蓄積された信号電荷はリセットトランジスタ $4-i-1$ 、 $4-i-2$ 、…を介して放電される。これにより、フォトダイオード $1-i-1$ 、 $1-i-2$ 、…はリセットされたことになる。

【0268】つぎに、水平アドレス回路 213 から水平アドレスパルスを水平選択トランジスタ $12-1$ 、 $12-2$ 、…に順次印加する。すると、水平選択トランジスタ $12-1$ 、 $12-2$ 、…はこの水平アドレスパルスの印加されている間、オンとなる。そして、増幅信号蓄積容量 $11-1$ 、 $11-2$ 、…に蓄積されていた信号電荷は、オンとなった水平選択トランジスタ $12-1$ 、 $12-2$ 、…を通して蓄積信号出力端（水平信号線） 215 から出力される。これにより、1行分の画像信号が出力信号として得られる。

【0269】この動作を次の行（水平ライン）、次の行と順次続けることにより、2次元状に配置されたフォトダイオードのすべての信号を読み出すことができる。

【0270】このように、順次、ライン位置を変えながら読み出し制御を行うことで、1画面分の画像信号を順次取り出すことができ、連続的にこの動作を繰り返すと動画像が得られることになる。

【0271】上述した従来のMOS型固体撮像装置の単位セル $P0-i-j$ は、フォトダイオード $1-i-j$ からの電荷信号を増幅する増幅トランジスタ $2-i-j$ 、信号を読み出すラインを選択する垂直選択トランジスタ $3-i-j$ 、増幅トランジスタのゲートのゲートを充放電するリセットトランジスタ $4-i-j$ の計3つのトランジスタを用いる。

【0272】しかし、MOS型固体撮像装置は、増幅トランジスタ $2-i-j$ を用いて電荷信号は増幅して出力させるので、この増幅トランジスタ $2-i-j$ による雑音の問題がついて回る。つまり、増幅トランジスタ $2-i-j$ は画素である単位セル毎に設けられるが、フォトダイオードが光を受けていないときにも、増幅トランジスタは出力を発生する。これは増幅トランジスタの特性

上、避けることができない暗電流や熱雑音などのバラツキに起因するものであり、マトリクス配置の各画素セルでそれぞれ異なる固有のものであるから、一様な光を受光面全面に当てたとしても、得られる画像信号のレベルは、各画素で一様にならず、輝度むらのある画像信号となる。この輝度むらのある画像は雑音が2次元状に分布する雑音、つまり、画面という平面に分布する雑音であり、場所的に固定されているという意味で、固定パターン雑音と称される。この雑音の問題は大きく、画素を微細化することによって一層、顕著になるから撮像用には、その改善や対策が必要である。

【0273】この固定パターン雑音を除去するために、第16の実施の形態では、単位セル対応に、水平選択トランジスタ 12 の前に、この固定パターン雑音を抑圧するための回路を設けてなる雑音除去回路（ノイズキャンセラ回路）を用いるようにしている（図36参照）。

【0274】尚、図36では、雑音除去回路としては一例として電圧領域で信号と雑音との差分をとる相関二重サンプリング型を示すが、雑音除去回路の型は、相関二重サンプリング型には限定されず、種々の雑音除去回路を用いることができる。

【0275】図40のタイミングチャートを参照して、図36の構成のノイズキャンセラ回路付きMOS型固体撮像装置の動作について説明する。なお、負荷トランジスタ 909 の共通ドレイン端子 920 、インピーダンス変換回路のトランジスタ 928 の共通ゲート端子 936 、クランプトランジスタ 940 の共通ソース端子 938 はDC駆動であるので、タイミングチャートから省略している。

【0276】垂直アドレス線 $906-1$ にハイレベルのアドレスパルスを印加すると、当該垂直アドレス線 $906-1$ に接続されている単位セル $P4-1-1$ 、 $P4-1-2$ 、…の垂直選択トランジスタ 965 がオンとなり、増幅トランジスタ 964 と負荷トランジスタ $909-1$ 、 $909-2$ 、…でソースフォロワ回路が構成される。

【0277】サンプルホールドトランジスタ $930-1$ 、 $930-2$ 、…の共通ゲート 937 をハイレベルとしてサンプルホールドトランジスタ $930-1$ 、 $930-2$ 、…をオンする。この後、クランプトランジスタ $940-1$ 、 $940-2$ 、…の共通ゲート 942 をハイレベルとしてクランプトランジスタ $940-1$ 、 $940-2$ 、…をオンする。

【0278】次に、クランプトランジスタ $940-1$ 、 $940-2$ 、…の共通ゲート 942 をローレベルとしてクランプトランジスタ $940-1$ 、 $940-2$ 、…をオフする。このため、垂直信号線 $908-1$ 、 $908-2$ 、…に現れている信号プラス雑音成分はクランプ容量 $932-1$ 、 $932-2$ 、…に蓄積される。

【0279】この後、垂直アドレスパルスをローレベル

に戻した後、リセット線907-1にハイレベルのリセットパルス印加すると、当該リセット線7-1に接続されている単位セルP4-1-1、P4-1-2、…のリセットトランジスタ966がオンとなり、出力回路968の入力端子の電荷がリセットされる。

【0280】再び、垂直アドレス線906-1にハイレベルのアドレスパルス印加すると、当該垂直アドレス線906-1に接続されている単位セルP4-1-1、P4-1-2、…の垂直選択トランジスタ965がオンとなり、増幅トランジスタ964と負荷トランジスタ909-1、909-2、…でソースフォロウ回路が構成され、信号成分がリセットされた雑音成分のみが垂直信号線908-1、908-2、…に現れる。

【0281】前述したように、クランプ容量932-1、932-2、…には信号プラス雑音成分が蓄積されているので、クランプノード941-1、941-2、…には垂直信号線908-1、908-2、…の電圧変化分、すなわち信号成分プラス雑音成分から雑音成分を差し引いた、固定パターン雑音のない信号電圧のみが現れる。

【0282】そして、サンプルホールドトランジスタ930-1、930-2、…の共通ゲート937をローレベルとしてサンプルホールドトランジスタ930-1、930-2、…をオフする。このため、クランプノード941-1、941-2、…に現れている雑音のない電圧がサンプルホールド容量934-1、934-2、…に蓄積される。

【0283】この後、水平選択トランジスタ912-1、912-2、…に水平アドレスパルスを順次印加することにより、サンプルホールド容量934-1、934-2、…に蓄積されている雑音のないフォトダイオード962の信号が出力端子（水平信号線）915から読み出される。

【0284】以下、同様に、垂直アドレス線906-2、906-3、…について上述の動作を繰り返すことにより、2次元状に配置された全てのセルの信号を取り出すことが出来る。

【0285】ここで、図40のタイミングの先後関係を説明する。必須の順番は、次の通りである。垂直アドレスパルスの立ち上がり・サンプルホールドパルスの立ち上がり・クランプパルスの立ち上がり→リセットパルスの立ち上がり→リセットパルスの立ち下がり→サンプルホールドパルスの立ち下がり→垂直アドレスパルスの立ち下がりなお、垂直アドレスパルスの立ち上がり、サンプルホールドパルスの立ち上がり、クランプパルスの立ち上がりの前後関係は任意であるが、好ましくは上述した順番がよい。

【0286】このように、図40の動作によれば、クランプノード941には、信号（プラス雑音）がある時と、増幅トランジスタのゲートがリセットされて信号が

ない時の差の電圧が現れるため、単位セルP4-1-i（i=1, 2, 3, 4…）における増幅トランジスタの特性バラツキに起因した固定パターン雑音が補償される。すなわち、クランプトランジスタ930、クランプ容量931、サンプルホールドトランジスタ940、サンプルホールド容量934からなる回路がノイズキャンセラとして作用する。

【0287】なお、本実施例のノイズキャンセラは、ソースフォロウ回路からなるインピーダンス変換回路926、928を介して垂直信号線908に接続されている。すなわち、垂直信号線はトランジスタ926のゲートに接続されている。このゲート容量は非常に小さいので、セルの増幅トランジスタは垂直信号線908-1、908-2、…のみを充電するので、CRの時定数が短く、すぐに定常状態になる。そのため、リセットパルスの印加タイミングを早くすることができ、短時間でノイズキャンセル動作をさせることができる。テレビジョン信号の場合、ノイズキャンセル動作は水平ブランキング期間内に行う必要があり、短時間で正確にノイズキャンセルできることは大きな長所である。さらに、ノイズキャンセル動作に含まれる信号プラス雑音出力時と雑音出力時とで、単位セルから見たノイズキャンセラのインピーダンスが同じであるので、正確にノイズをキャンセルすることができる。

【0288】すなわち、“雑音成分”出力時と“信号成分+雑音成分”出力時とで、単位セルから見たノイズキャンセラ回路のインピーダンスがほぼ同一である。そのため、両出力時で雑音成分はほぼ同一となり、両者の差分をとると、正確に雑音出力を除去できて信号成分のみを取り出すことが可能となる。従って、正確にノイズをキャンセルすることができる。また、単位セルからノイズキャンセラ回路を見ると、インピーダンス的にはゲート容量しか見えず、その容量は非常に小さいので、短時間に確実にノイズをキャンセルすることができる。

【0289】次に、本実施例のノイズキャンセラ回路の素子構造を説明する。

【0290】図36の回路構成からわかるように、クランプ容量932とサンプルホールド容量934が直接接続されて近接しているので、これらを同一面上に積層して形成することができ、ノイズキャンセラ回路部分を小型化できる。

【0291】具体的には、図43に示すように、シリコン基板872上に第1の絶縁膜874を介して第1の電極876を形成することにより、サンプルホールド容量34を構成し、さらに第1の電極876上に第2の絶縁膜878を介して第2の電極880を形成することにより、クランプ容量832を構成する。

【0292】この図からも明らかなように、第1の電極876が共通電極となり、クランプ容量832とサンプルホールド容量834が積層形成されているので、個別

に形成する場合の1/2の面積で同じ容量値を得ることが可能となる。

【0293】本実施例においては、単位セルP4-1-1、P4-1-2、…や、垂直アドレス回路905、水平アドレス回路913などの周辺回路は、p-型基板上にp+型不純物層を形成した半導体基板上に形成されている。

【0294】図44(a)、図44(b)は、このような半導体基板の断面図である。

【0295】図44(a)に示すように、p-型基板881上にp+型不純物層882を形成した半導体基板にフォトダイオード883などのセル要素が形成されている。

【0296】半導体基板をこのような構成にすることにより、p-/p+境界にある拡散電位により、p-型基板81で発生した暗電流がp+側へ流れ込むのを一部防止することができる。

【0297】電子の流れを詳しく解析した結果を簡単に述べると、p-側で発生した電子にとってp+不純物層882の厚さLがp+とp-の濃度の比倍すなわちL・p+/p-に見える。

【0298】すなわち、図44(b)に示すように、暗電流の発生源であるp-基板881からフォトダイオード883までの距離がp+/p-倍遠くなったように見えることになる。暗電流は、基板深部から流れ込むもの以外にフォトダイオード883近傍の空乏層内で発生するものがあり、この空乏層内で発生する暗電流は、基板深部から流れ込む暗電流とほぼ同じ程度ある。空乏層の厚さは約1μm程度であり、基板深部から流れ込む暗電流は約100μmの深さからも流れてくる。この深さはp型半導体内部での電子の拡散距離と呼ばれているものである。この厚さの差に関わらず暗電流が同等なのは、単位体積あたりの暗電流の発生確率が空乏層内部の方が高いためである。ここで、空乏層で発生する暗電流は原理的に信号電流と分離することができないので、暗電流の低減は基板深部から流れ込む成分を減ずることによってなされる。

【0299】また、p-型基板71上にp+型不純物層72を形成した半導体基板にセルを形成するので、暗電流が発生することによる基板電位の変動を防止することができ、p型基板は厚いため、抵抗が低く、後述するように、雑音除去回路を確実に動作させることができる。

【0300】また、素子温度が上昇すると基板深部からの成分の方が急激に増加するので、これが重要である。その目安は、基板深部からの成分が空乏層で発生した成分よりも十分小さいことであり、具体的には、基板深部からの暗電流が空乏層内部からのものに比べて約1桁下であればいい。すなわち、p+/p-を10に設定して基板深部からのものを約1/10にすればいい。

【0301】さらに、基板深部からの暗電流は、n型基

板とp型ウェルとで構成される半導体基板ではほぼ全くないといつてよいが、このような半導体基板と同じレベルにするためにはp+/p-を100に設定して基板深部からの暗電流を約1/100にする必要がある。

【0302】従来実績のあるCCDでは、n型の埋め込みチャネルの不純物濃度が約 10^{16}cm^{-3} 程度であり、この埋め込みチャネルの拡散層を安定して製造するための埋め込みチャネルを囲むp型層(ここではp型基板)の不純物濃度は約 10^{16}cm^{-3} である。

【0303】p+層の濃度はp+/p-を10にする場合は約 10^{16}cm^{-3} 程度、p+/p-を100にする場合は約 10^{17}cm^{-3} 程度となり、n型の埋め込みチャネルの不純物濃度の約 10^{16}cm^{-3} と同程度又は1桁逆転してしまう。

【0304】このため、従来実績のあるCCDではこのような不純物濃度のp+層を使うことは考えられなかった。また、p-層の濃度を下げると基板のシート抵抗が高くなるという問題が出てくる。

【0305】しかしながら、増幅型のMOS撮像装置ではCCDの埋め込みチャネルがないためp-層の濃度を下げずにp+/p-の値をある程度自由に設定できる。

【0306】そこで、p型ウェルの抵抗を下げ、n型基板とp型ウェルとで構成される半導体基板の構造を改善することによってもセルを構成することができる。

【0307】図45は、n型基板885上にシート抵抗の低いp+ウェル886を用いた単位セルの断面図である。また、図46は、CCDの単位セルの断面図を示す。

【0308】CCDの単位セルのn型基板887、p型ウェル886、n型埋め込みチャネル889の不純物濃度は安定して製造を行うために、それぞれ約 10^{14}cm^{-3} 、約 10^{16}cm^{-3} 、約 10^{16}cm^{-3} 程度にしてある。

【0309】n型フォトダイオード890の不純物濃度はある程度自由に設定できるため製造上の制約はあまりない。p型ウェル886のシート抵抗は上記の不純物濃度では約 $100\text{k}\Omega/\square$ 程度の値である。CCDは、前述のようにこのような高い値でも雑音が非常に小さい。

【0310】一方、増幅型のMOS撮像装置で雑音除去回路を使用する場合、このp型ウェルのシート抵抗は非常に重要である。何故ならば、リセットパルスによるp型ウェル886の電位の擾乱が収まる時間がこの装置を応用するシステムにマッチングしなければならないからである。

【0311】現行のテレビ方式であるNTSC方式では、雑音除去回路を動作させるのは水平帰線期間である約11[μs]の間である。この時間のあいだにp型ウェル886の電位の擾乱が0.1[mV]程度まで収まる必要がある。

【0312】この0.1[mV]という非常に小さい値は、CCDの雑音電圧出力がこの程度であることから起

因している。11 [μ s] という非常に短い時間で0.1 [mV] という非常に小さい値に落ちつかせるには、詳しい解析によるとp型ウェル886のシート抵抗を1 k Ω /□以下にしなければならない。これは従来のCCDの約1/100である。

【0313】そのためには、p型ウェル886の不純物濃度を約100倍にする必要があり、p型基板のところでは前述したように、CCDでは不可能な濃度である。さらにハイビジョンテレビ方式では水平帰線期間が3.77 [μ s] であり、p型ウェル886のシート抵抗を300 Ω /□以下にしなければならない。

【0314】他の変形例としては、高濃度のp⁺型サンドイッチ層を基板上に形成し、表面をそれより濃度の低いp型層にすることが考えられる。

【0315】図47は、p⁻型基板91とp型層893との間にp⁺型サンドイッチ層892を形成した半導体基板の構成を示す図である。また、図48は、n型基板895とp型層897との間にp⁺型サンドイッチ層896を形成した半導体基板の構成を示す図である。

【0316】このようなp⁺型サンドイッチ層は高加速度のメガボルトイオン打ち込み機により実現できる。

【0317】上記p型層には、単位セルの構成要素であるフォトダイオード883、トランジスタなどの他に、水平アドレス回路、垂直アドレス回路などの周辺回路も形成される。

【0318】図49は、フォトダイオード883の周囲を高濃度のp型ウェル1103で囲み、n型基板1101上の他の部分を他のp型ウェル1102で形成することにより構成される半導体基板の構成を示す図である。

【0319】このような構成を採用することにより、フォトダイオード883への暗電流の漏れ込みを防止することができる。なお、半導体基板1101は、p⁻型基板であってもよい。

【0320】さらに、セル周辺の水平アドレス回路や垂直アドレス回路の一部又は全部を形成するp型ウェルの濃度は回路設計の方から決められており、セルの最適値とは異なるため撮像領域を形成するp型ウェルとは別のp型層にすることも考えられる。

【0321】図50は、n型基板1105上に撮像領域を構成するp型ウェル1106を形成するとともに、周辺回路部を構成する他のp型ウェル1107を別々に形成した半導体基板の構成を示す図である。

【0322】このような構成とすることにより、各構成要素に適したp型ウェルを形成することができる。なお、上記n型基板1105は、p⁻型基板であってもよい。

【0323】図51は、n型基板1105上に撮像領域を形成するp⁺型サンドイッチ層1108及び濃度の低いp型層1109を形成するとともに、周辺回路部に他のp型ウェル1107を形成したものである。

【0324】このような構成とすることにより、各構成要素に適したp型ウェルを形成することができ、フォトダイオードへの暗電流の漏れ込みを防止することができる。なお、上記n型基板1105は、p⁻型基板であってもよい。

【0325】以上説明したように、本実施例によれば、単位セルの出力をノイズキャンセラ回路を介して出力しているため、単位セルの増幅トランジスタの特性バラツキに応じた固定パターン雑音を抑えることができる。また、ノイズキャンセラ回路においては、クランプ容量9932-1、9932-2、…（以下、これらを9932と総称する。他の添え字付きの部材についても同様）とサンプルホールド容量9934が直接接続されて近接しているので、これらを同一面上に積層して形成することができ、容量を小型化できる。

【0326】さらに、単位セルの出力をインピーダンス変換回路を介してノイズキャンセラに供給しているため、雑音出力時と信号プラス雑音出力時とで、単位セルから見たノイズキャンセラのインピーダンスがほぼ同一であるため、両出力時で雑音成分はほぼ同一となり、両者の差分をとると、正確に雑音出力を除去でき、信号成分のみ取り出すことが可能となり、正確にノイズをキャンセルすることができる。また、単位セルからノイズキャンセラを見ると、インピーダンス的にはゲート容量しか見えず、その容量は非常に小さいので、短時間に確実にノイズをキャンセルすることができる。

【0327】また、単位セルを形成する半導体基板として、p⁻型不純物基体と、p⁻型不純物基体上に形成されたp⁺型不純物層とからなる基板を用いることにより、単位セルに進入する暗電流を低減することができ、かつ、基板表面の電位を安定させることができるので、雑音除去回路（ノイズキャンセラ回路）を確実に動作させることができる。

【0328】尚、第16の実施の形態において示した上述のノイズキャンセラ回路部分は一例であり、他の公知の回路を適用可能である。

【0329】以上、この発明によれば、単位セルでの光電変換ゲインを高くして高感度を得ると共に、寄生容量を介する増幅トランジスタのゲートへの垂直信号線等からの雑音の飛び込みを抑圧して低雑音を実現可能な固体撮像装置が得られる。また、この高感度、低雑音の固体撮像装置を用いた高解像度、高画質の応用装置が得られる。

【0330】なお、本発明は上述の具体例に限定されることなく、種々変形して実施可能である。

【0331】

【発明の効果】以上のようにこの発明によれば、単位セルでの光電変換ゲインを高くして高感度を得ると共に、寄生容量を介する増幅トランジスタのゲートへの垂直信号線等からの雑音の飛び込みを抑圧して低雑音を実現可

能な固体撮像装置を提供することができる。

【0332】また、この高感度、低雑音の固体撮像装置を用いた高解像度、高画質の応用装置が提供できる。

【図面の簡単な説明】

【図1】この発明の固体撮像装置の第1の実施の形態に係る固体撮像素子の単位セルの平面図である。

【図2】この発明の第2の実施の形態に係る固体撮像装置の単位セルの平面図である。

【図3】図2の固体撮像装置の動作について説明するための回路構成図である。

【図4】図2に示された固体撮像装置の単位セルの部分断面図である。

【図5】(a)は基本的な増幅型固体撮像装置のセルパターンを示した図、(b)は同図(a)に対応する1セル分の回路図、(c)は他のセル回路の例を示した図である。

【図6】埋込み型のトランジスタの動作原理について説明するもので、(a)は埋込みトランジスタの平面図、(b)～(d)は、それぞれ信号保持期間、リセット期間及びリセット後に於ける各部のポテンシャル図である。

【図7】埋込み型のトランジスタを使用した場合の活性領域の配置例を示した図である。

【図8】埋込み型のトランジスタを使用した場合のセルの回路構成図である。

【図9】この発明の第3の実施の形態を示すもので、増幅型固体撮像装置のセルパターン図である。

【図10】この発明の第4の実施の形態を示すもので、増幅型固体撮像装置のセルパターン図である。

【図11】第4の実施の形態の動作を説明するタイミングチャートである。

【図12】セルの光電変換効率を改善するための一例を示した遮光膜開口の配置図である。

【図13】セルの光電変換効率を改善するために遮光膜開口を等しくした場合の例を示した配置図である。

【図14】セルの光電変換効率を改善するために遮光膜開口を等しくした場合の他の例を示した配置図である。

【図15】半導体基板内の光電変換部の光発生キャリアの収集効率を変えて形成した第1の例を示したフォトダイオードの配置図である。

【図16】半導体基板内の光電変換部の光発生キャリアの収集効率を変えて形成した第2の例を示したフォトダイオードの配置図である。

【図17】半導体基板内の光電変換部の光発生キャリアの収集効率を変えて形成した第3の例を示したフォトダイオードの配置図である。

【図18】従来の増幅型固体撮像素子の平面図である。

【図19】図18に示された従来の増幅型固体撮像素子の単位セルの回路図である。

【図20】従来の増幅型固体撮像装置の他の例を示した

単位セルの平面図である。

【図21】図20に示された固体撮像装置のA-A'線に沿った断面図である。

【図22】固体撮像素子の基本的構成を示す図である。

【図23】画像検出部としてMOSセンサを用いた装置の一般的構成を示す図である。

【図24】カラーフィルタアレイ104とMOSセンサ105を一体化した構成のMOS撮像デバイスの一例を示す断面図である。

【図25】本発明の第5の実施の形態を説明するための図であって、本発明におけるMOSセンサを用いたビデオカメラの実施例を示す構成図である。

【図26】本発明の第6の実施の形態を説明するための図であって、本発明におけるMOSセンサを用いた別のビデオカメラの実施例を示す構成図である。

【図27】本発明の第7の実施の形態を説明するための図であって、本発明における増幅型MOSセンサのネットワークシステムでの応用例を説明するための図である。

【図28】本発明の第8の実施の形態を説明するための図であって、本発明における増幅型MOSセンサのステリカメラへの応用例を説明するための図である。

【図29】本発明の第9の実施の形態を説明するための図であって、本発明におけるMOSセンサを用いたファクシミリ装置の実施例を示す図である。

【図30】本発明の第10の実施の形態を説明するための図であって、本発明におけるMOSセンサを用いた電子複写機の実施例を示す図である。

【図31】本発明の第11の実施の形態を説明するための図であって、本発明におけるMOSセンサを用いたハンディ形イメージスキャナの実施例を示す図である。

【図32】本発明の第12の実施の形態を説明するための図であって、機械切り替え式のカラーフィルタを用いた増幅型MOSセンサの構成例を示す図である。

【図33】本発明の第13の実施の形態を説明するための図であって、本発明における増幅型MOSセンサのフィルムスキャナ装置への応用例を説明するための図である。

【図34】本発明の第14の実施の形態を説明するための図であって、本発明におけるMOSセンサを用いたオートフォーカス機構付きの1眼レフカメラの実施例を示す図である。

【図35】オートフォーカス機構の焦点合わせの原理を説明するための図である。

【図36】本発明の第15の実施の形態を説明するための図であって、MOS型固体撮像装置の構成例を示す回路図である。

【図37】第15の実施の形態における垂直アドレス回路の回路構成例を示す図である。

【図38】第15の実施の形態における垂直アドレス回

路の他の回路構成例を示す図である。

【図39】第15の実施の形態における垂直アドレス回路のさらに他の回路構成例を示す図である。

【図40】第15の実施の形態の動作を示すタイミングチャートである。

【図41】MOS型固体撮像装置の従来例の構成を示す回路図である。

【図42】図41に示す従来のMOS型固体撮像装置の動作を示すタイミングチャートである。

【図43】第15の実施の形態におけるノイズキャンセラ部分の装置構造を示す断面図、である。

【図44】第15の実施の形態における単位セルの装置構造を示す断面図である。

【図45】第15の実施の形態における単位セルの部分の半導体基板の変形例を示す図である。

【図46】CCD型固体撮像装置の従来例のセルの断面図である。

【図47】第15の実施の形態における単位セルの部分の半導体基板の他の変形例を示す図である。

【図48】第15の実施の形態における単位セルの部分の半導体基板のさらに他の変形例を示す図である。

【図49】第15の実施の形態における単位セルの部分の半導体基板のさらに他の変形例を示す図である。

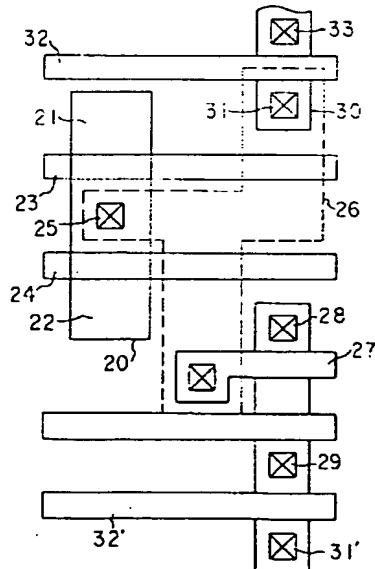
【図50】第15の実施の形態における単位セルの部分の半導体基板のさらに他の変形例を示す図である。

【図51】第15の実施の形態における単位セルの部分の半導体基板のさらに他の変形例を示す図である。

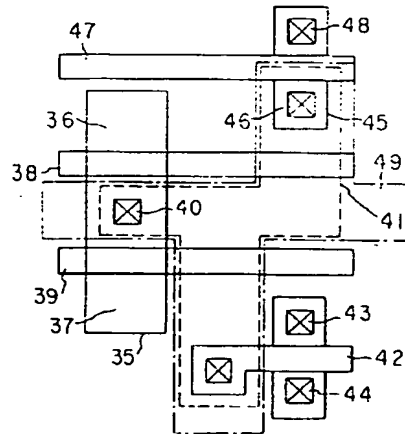
【符号の説明】

- 20, 35…素子領域
- 21, 36…第1のダイオード
- 22, 37…第2のダイオード
- 23, 38…第1の読出しトランジスタのゲート配線
- 24, 39…第2の読出しトランジスタのゲート配線
- 25, 40…第1の読出しトランジスタのドレイン
- 26, 41…ジャンプ配線
- 27, 42…増幅トランジスタのゲート
- 28, 43…増幅トランジスタのドレイン
- 29, 44…増幅トランジスタのソース
- 30, 45…リセットトランジスタの素子領域
- 31, 46…リセットトランジスタのソース
- 32, 47…リセットトランジスタのゲート配線
- 33, 48…リセットトランジスタのドレイン
- 49…アドレストランジスタのゲート配線
- 50…フォトダイオード
- 51…読出し線
- 52…読出しトランジスタ
- 53…増幅トランジスタ
- 54…垂直信号線
- 55…リセットトランジスタ
- 56…アドレスキャパシタ。

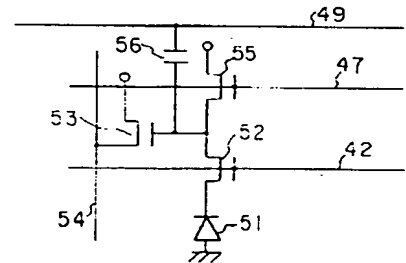
【図1】



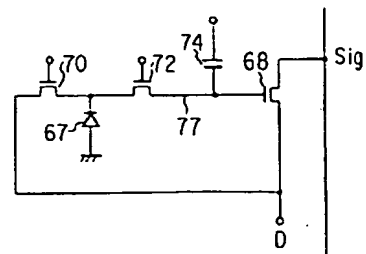
【図2】



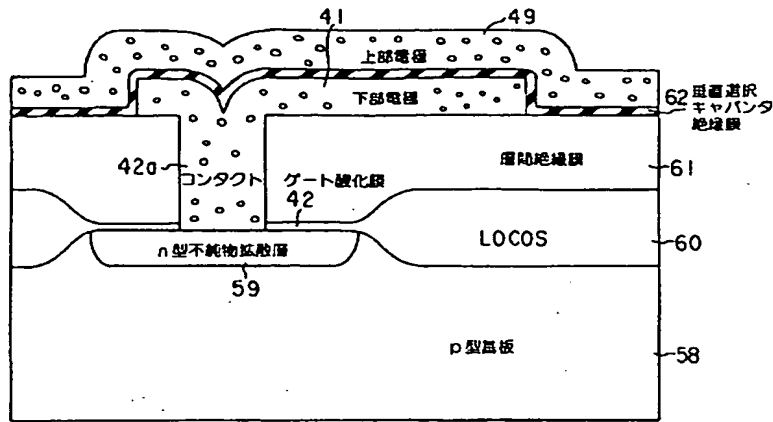
【図3】



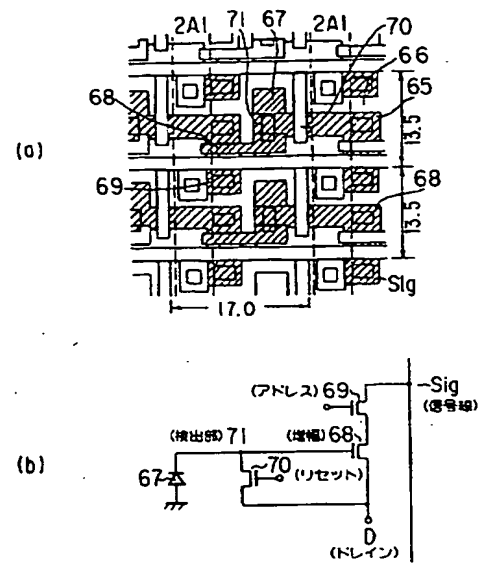
【図8】



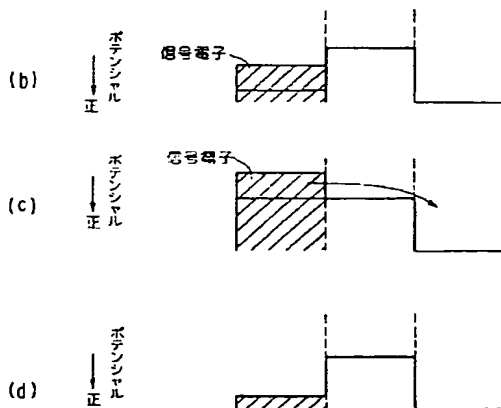
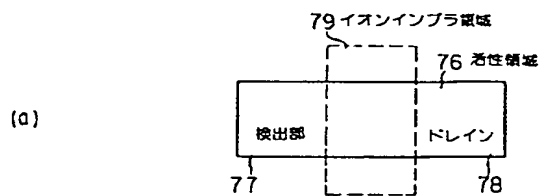
【図4】



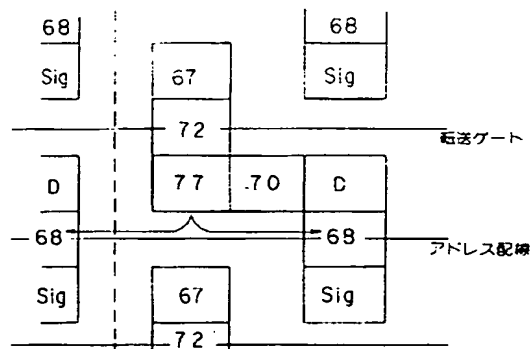
【図5】



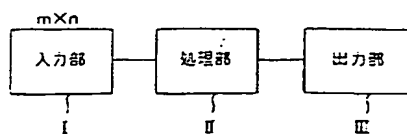
【図6】



【図7】



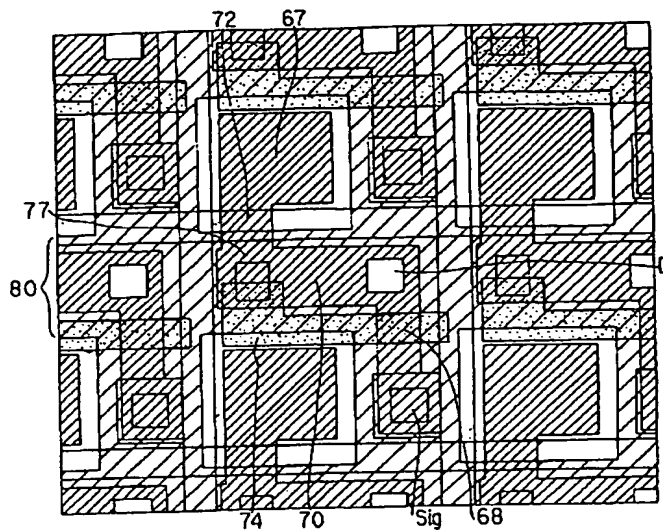
【図22】



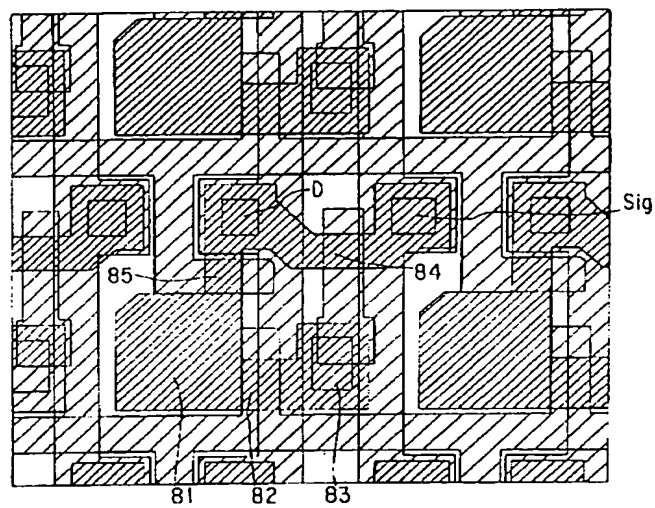
【図23】



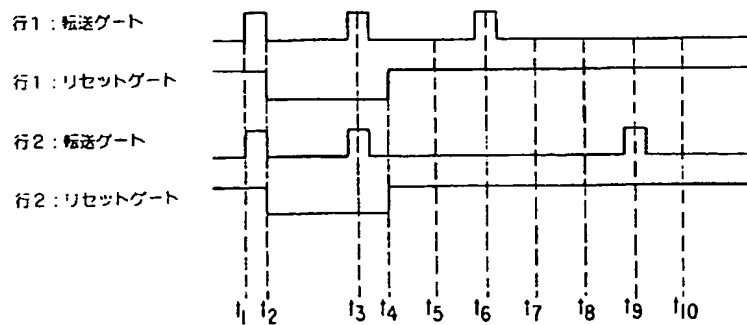
【図9】



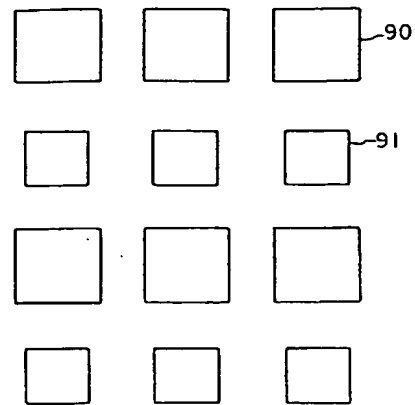
【図10】



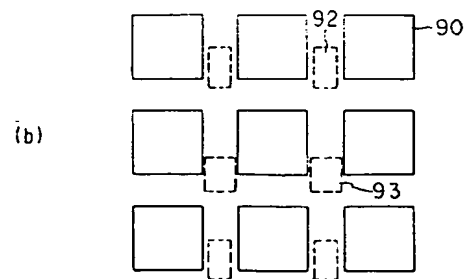
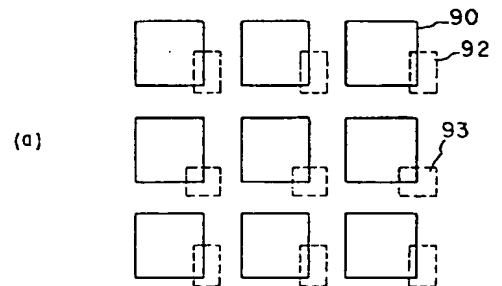
【図11】



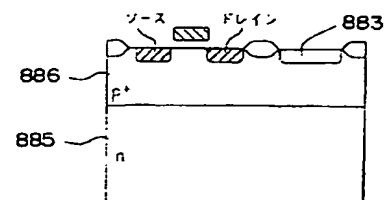
【図12】



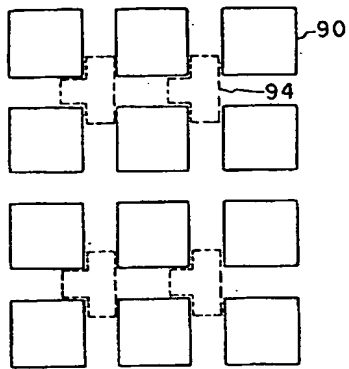
【図13】



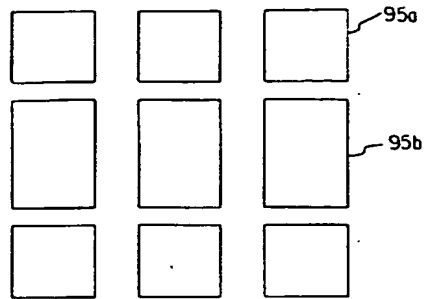
【図45】



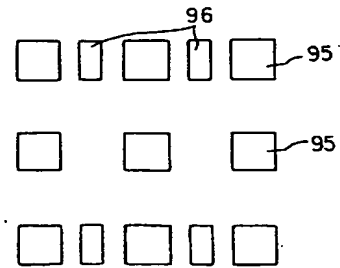
【図 14】



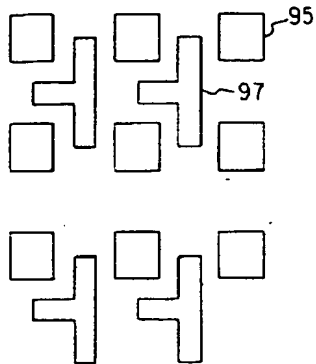
【図 15】



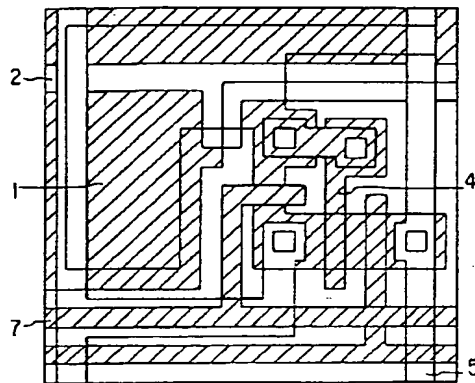
【図 16】



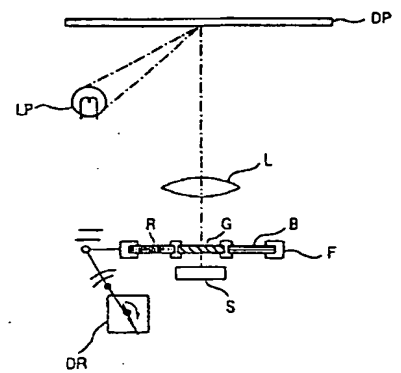
【図 17】



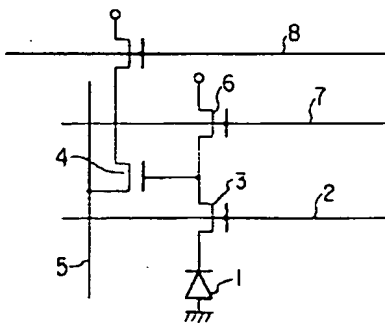
【図 18】



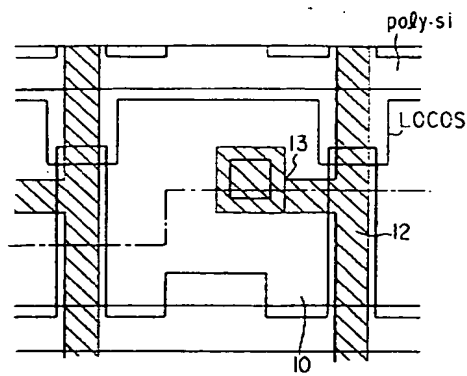
【図 32】



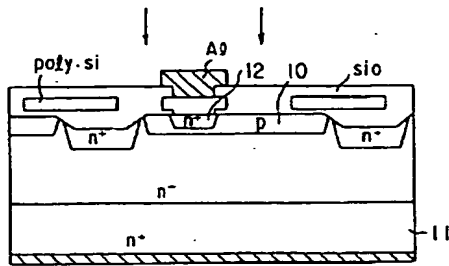
【図 19】



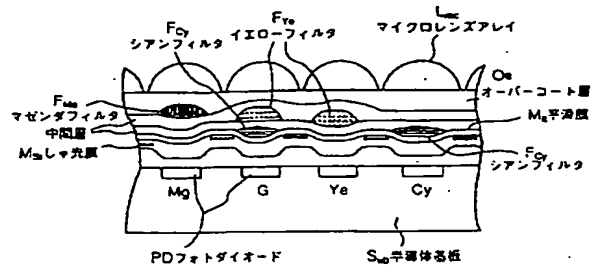
【図 20】



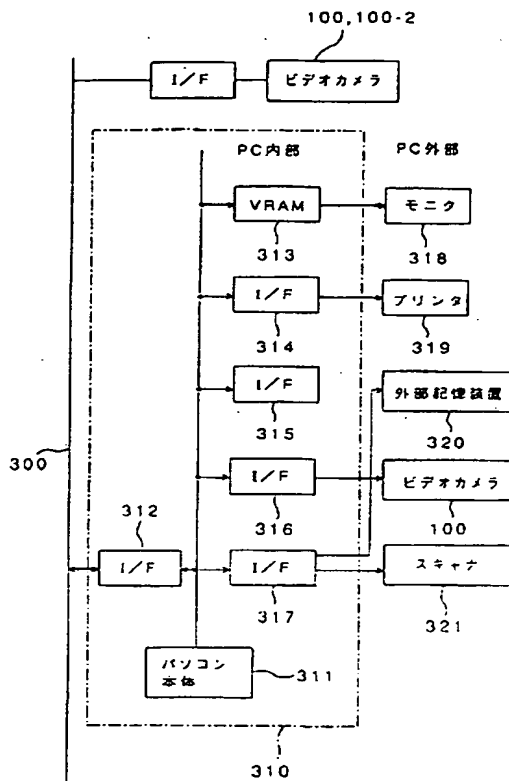
【図21】



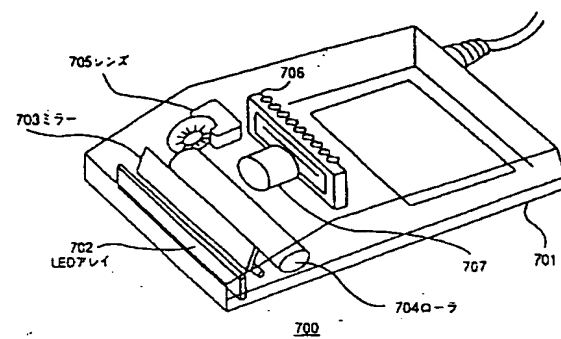
【図24】



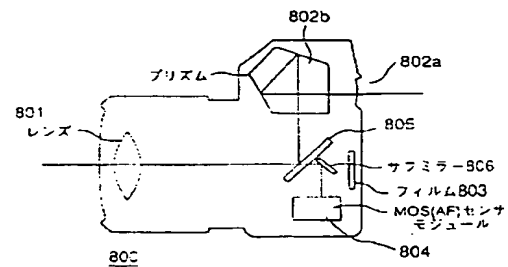
【図27】



【図31】



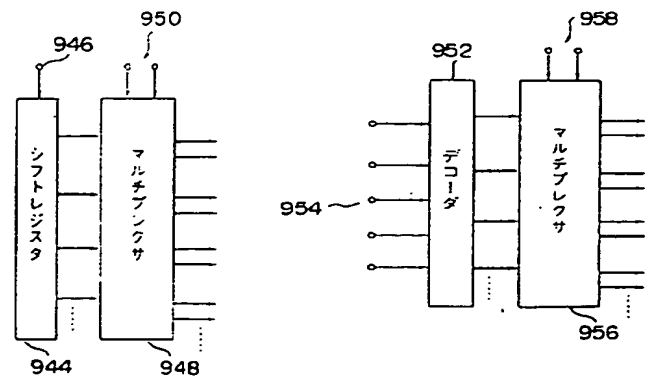
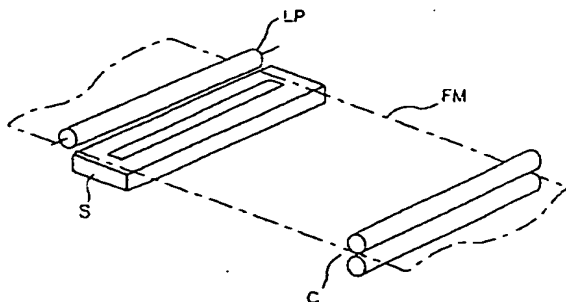
【図34】



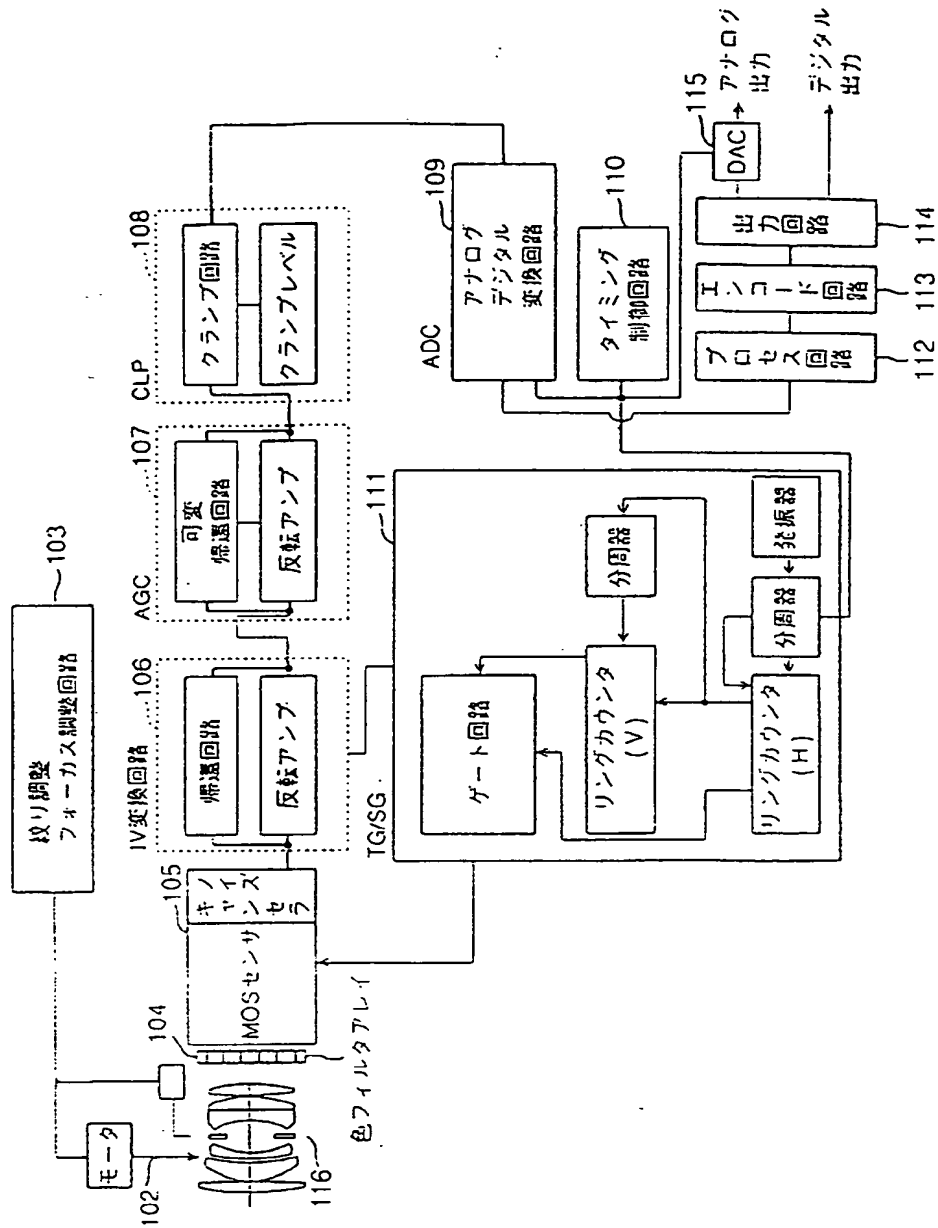
【図37】

【図38】

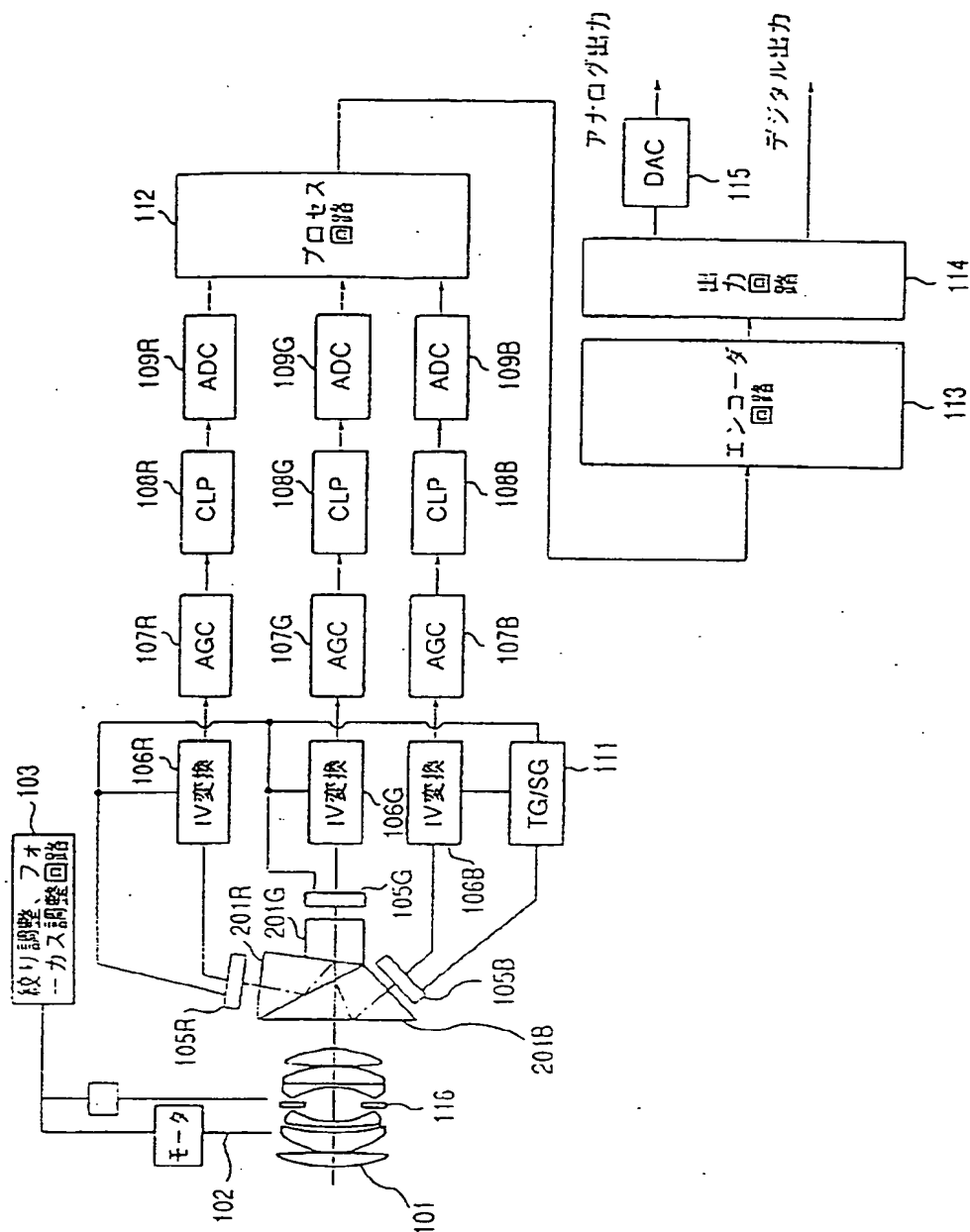
【図33】



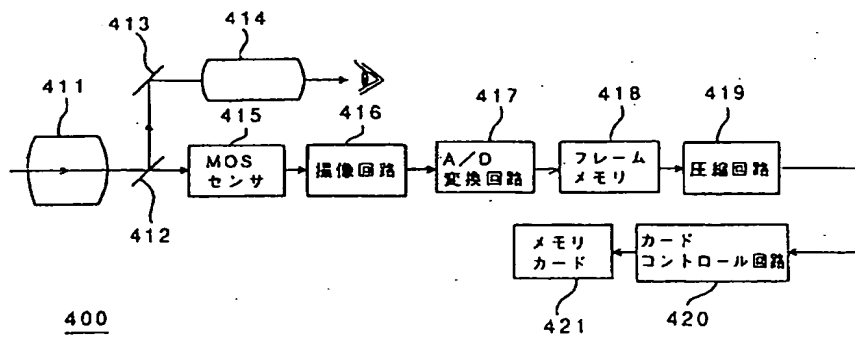
【图 25】



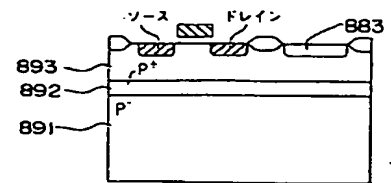
【図26】



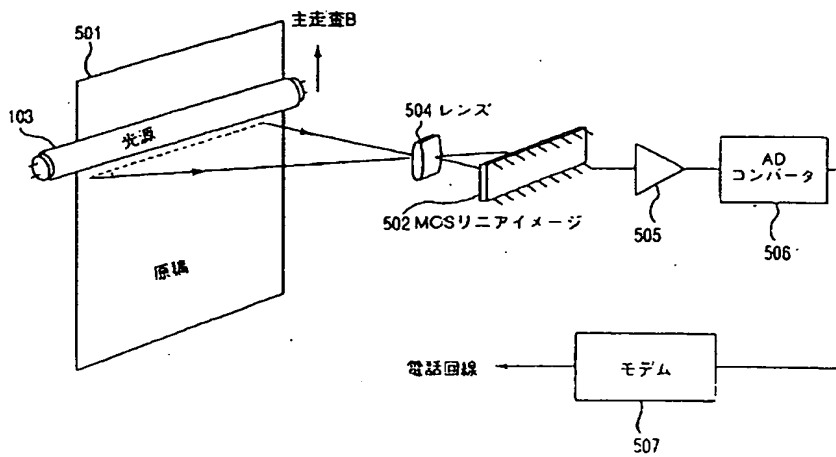
【図28】



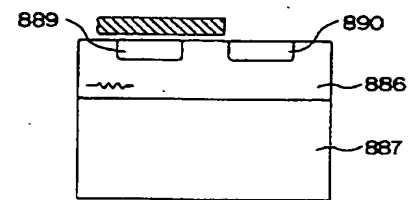
【図47】



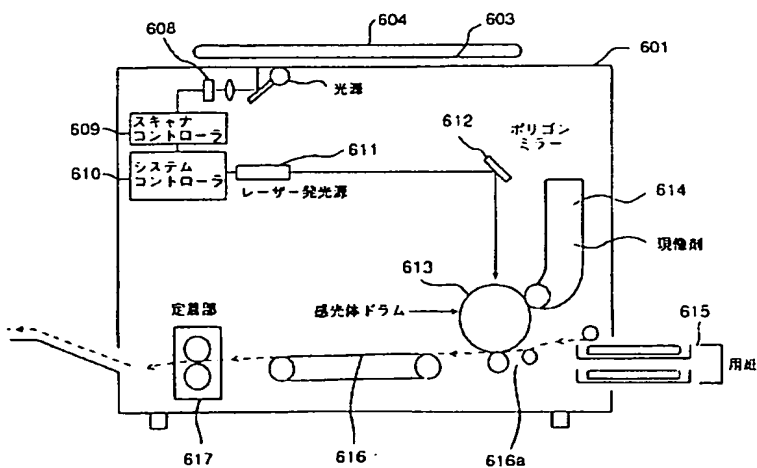
【図29】



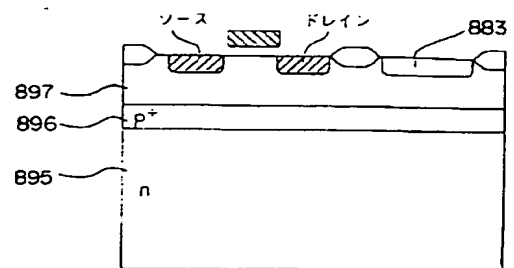
【図46】



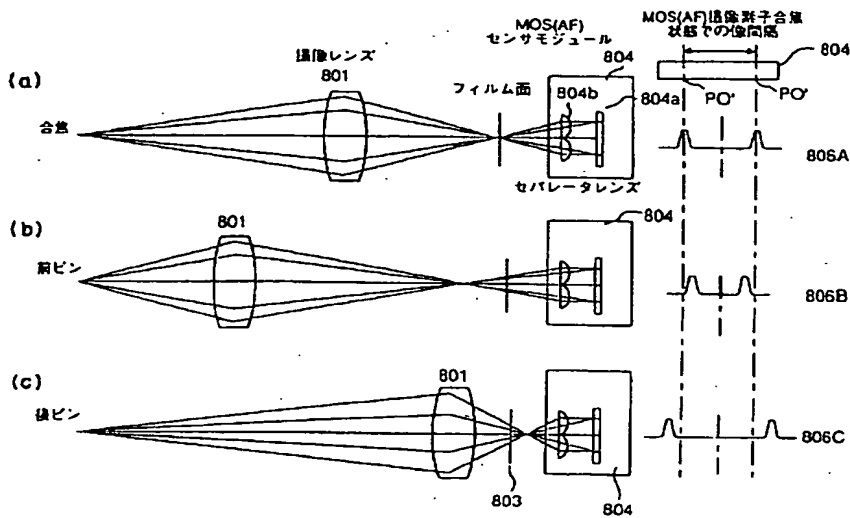
【図30】



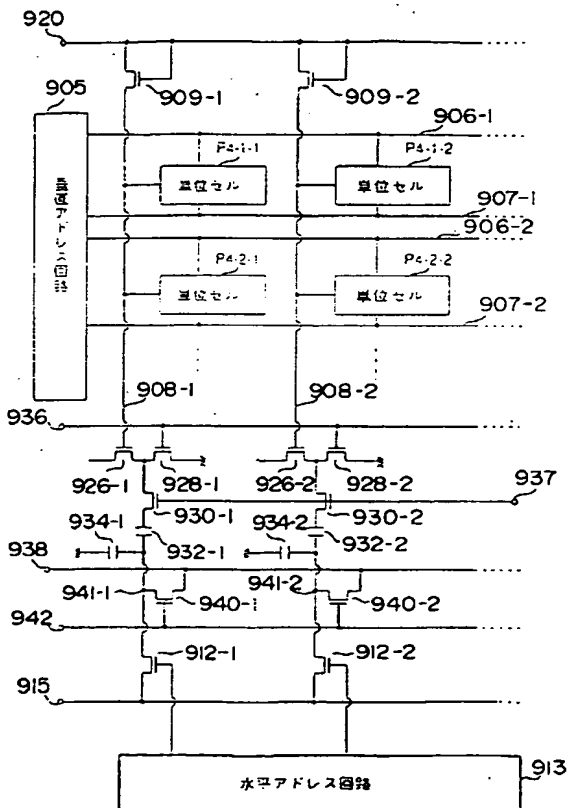
【図48】



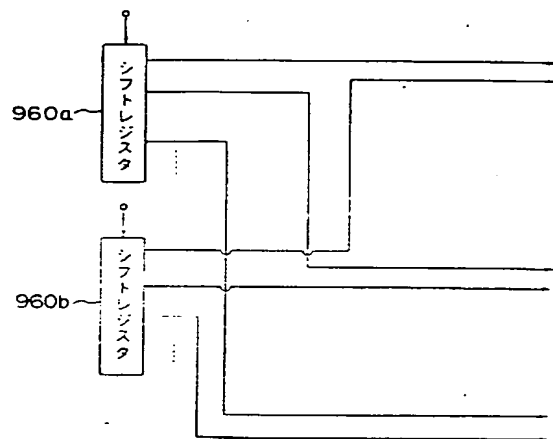
【図35】



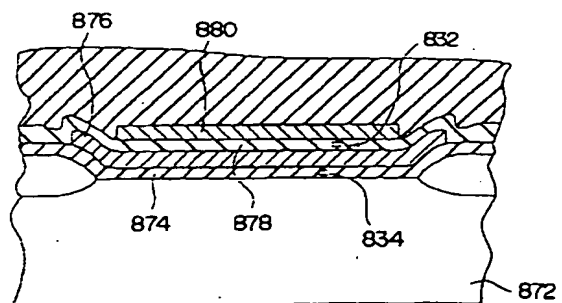
【図36】



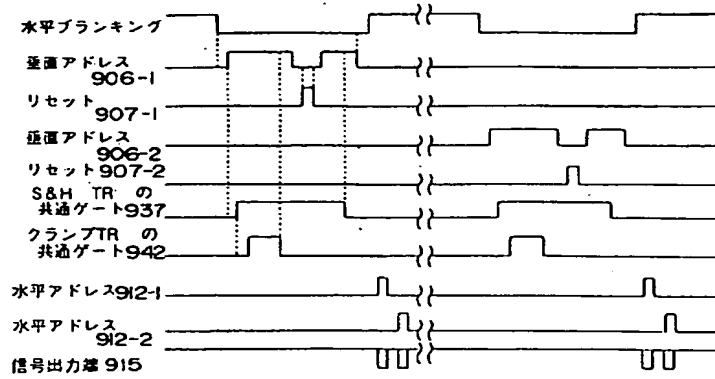
【図39】



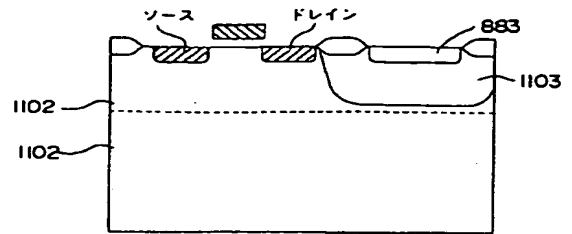
【図43】



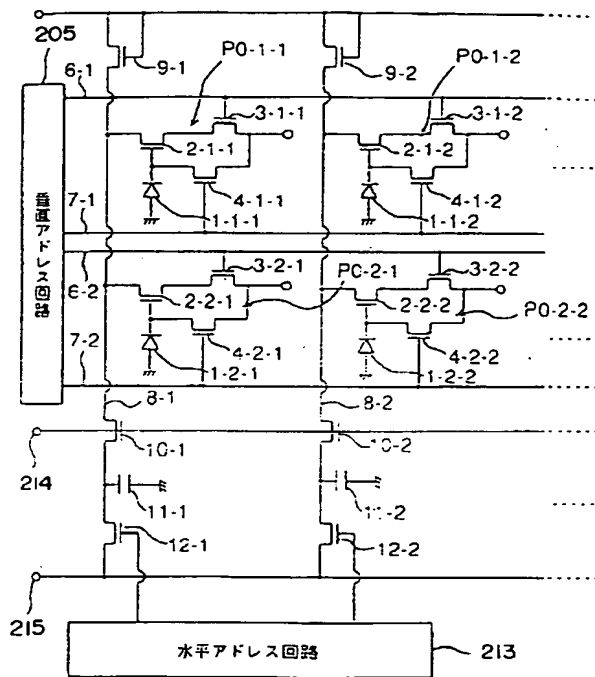
【図40】



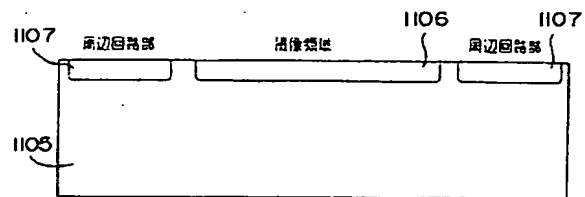
【図49】



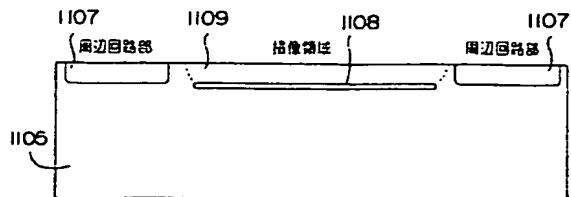
【図41】



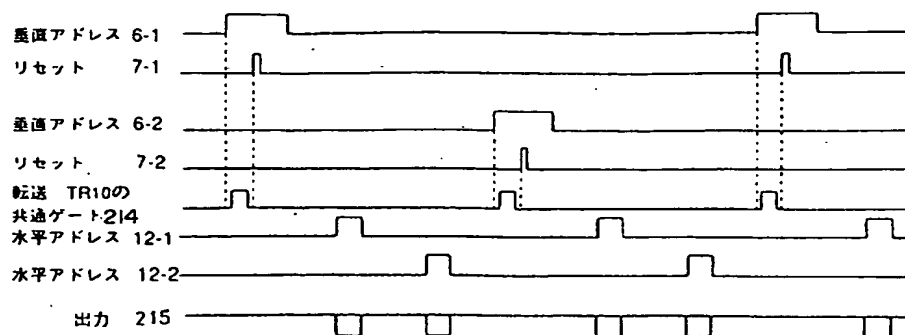
【図50】



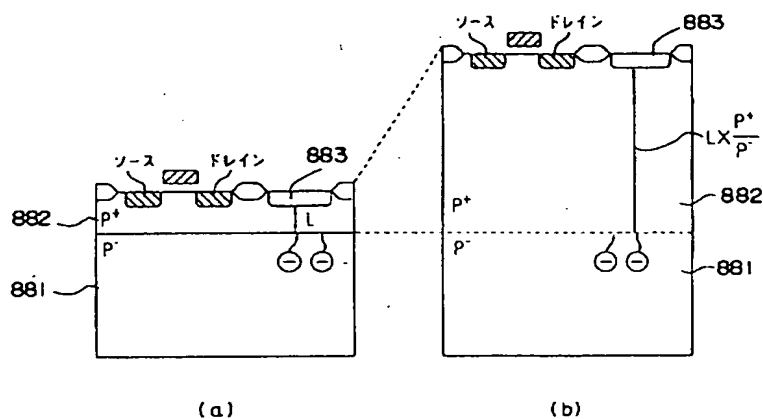
【図51】



【图 4 2】



【図 4 4】



フロントページの続き

(72) 発明者 佐々木 道夫
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

(72) 発明者 宮川 良平
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

(72) 発明者 山下 浩史
神奈川県川崎市幸区小向東芝町 1 番地 株
式会社東芝研究開発センター内

(72) 発明者 飯田 義典
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

(72) 発明者 山口 鉄也
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

(72) 発明者 井原 久典
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内